

UNIVERSITÉ CATHOLIQUE DE LOUVAIN
ÉCOLE POLYTECHNIQUE DE LOUVAIN

**Dimensionnement d'un convertisseur
DC/DC intégrable sur puce pour la
récupération d'énergie à très faible tension**

PROMOTEURS Pr. Denis Flandre
Pr. David Bol
LECTEUR Dr. Julien De Vos

Travail de fin d'études présenté
en vue d'obtenir le grade de
Master ingénieur civil électricien

Jordan Giovanola
Nicolas Phalempin

Date : 8 juin 2015

Remerciements

Nous tenons tout d'abord à remercier nos deux promoteurs, les professeurs David Bol et Denis Flandre, pour le temps qu'ils nous ont accordé et pour les conseils avisés qu'ils ont pu nous apporter tout au long de ce travail. Nous tenons ensuite à remercier Pierre-Antoine Haddad pour avoir partagé avec nous son expérience autant sur le sujet en lui-même que sur la manière de mener à bien ce travail.

Je tiens tout d'abord à remercier mes parents ainsi que mes *nonni* pour leur soutien inestimable au cours de ces 22 dernières années. Je souhaite également remercier mon oncle qui, entre deux blagues pas toujours marrantes, a réussi à éveiller mon intérêt pour les sciences et m'a amené par la même occasion à choisir les études d'ingénieur.

Jordan

En premier lieu, je tiens à remercier Marion, ma source intarissable de motivation tout au long de ce travail. Ensuite, je remercie bien évidemment mes parents de m'avoir toujours encouragé à entreprendre ces études et d'avoir tout mis en œuvre pour que je puisse les mener à bien. J'aimerais également remercier mes amis pour leur partage d'expérience dans ce travail, pour l'intérêt qu'ils ont porté à ce travail et pour leurs encouragements. Enfin, je souhaiterais dédier ce travail à celle qui n'a pas encore l'âge de comprendre ce que signifie être ingénieur, mais qui m'a pourtant donné la motivation, durant ces cinq années, à en devenir un.

Nicolas

Abstract

Over the last years, the Internet of Things (IoT) has experienced an increased interest amongst the scientific community. This enthusiasm for the IoT goes together with the many researches led in the field of Wireless Sensor Networks (WSN) which will be a key technology for the IoT. The integration of sensors in the IoT is what makes the connexion between the virtual and the physical world possible : this is the Internet of the future.

Energy autonomy of the IoT node is a critical aspect of this technology. The use of energy harvesting techniques such as photovoltaic cells or thermoelectric generators (TEGs) is an important milestone in order to achieve this autonomy. This work will focus on the design of a switched capacitor DC/DC converter. This converter will be connected to the output of a TEG which delivers a voltage as low as 0.156V and will increase it to a target voltage of 0.5V. The developed design methodology is mostly based on the analysis of simulation results obtained using the software Eldo from Mentor Graphics. The use of such a tool proves essential in the design of a circuit based on advanced MOS technology (65nm GP) and working in subthreshold region. An optimization algorithm inspired by the gradient descent has also been used in order to set some circuit parameters.

The final circuit includes the following elements : the equivalent model of the TEG, the DC/DC converter based on a multi-stage voltage doubler topology, a ring oscillator, a non overlapping clock generator, and clock buffers. The efficiency of the complete system is 49.6% and provides an output voltage of 0.525V under a load current of 5.25 μ A.

Résumé

Ces dernières années, l'Internet des Objets ou *Internet of Things* (IoT) a connu un engouement considérable dans la communauté scientifique. Cet engouement va de pair avec les recherches menées sur l'implémentation des réseaux de capteurs sans fils ou *wireless sensor networks* (WSN) qui seront probablement un des acteurs importants de l'IoT. L'intégration des capteurs dans l'IoT est ce qui pourra réellement réaliser la connexion entre le monde virtuel et le monde physique : c'est l'Internet de demain.

L'autonomie énergétique de ces nœuds de l'IoT passe par l'utilisation de techniques de récupération d'énergie comme les cellules photovoltaïques ou les générateurs thermoélectriques (TEG). Ce travail a pour objet le dimensionnement d'un convertisseur de tension continue à capacités commutées. Ce convertisseur se placera à la suite d'un TEG, de manière à augmenter la faible tension générée de 0.156V jusqu'à une tension de 0.5V acceptable pour les circuits électroniques du nœud IoT. Une méthode de dimensionnement a été développée afin d'optimiser le rendement du circuit sous condition d'obtenir des tensions de sortie supérieures à la tension cible. Cette méthode se base sur l'analyse de résultats de simulation obtenus avec le logiciel Eldo de Mentor Graphics. L'utilisation d'un tel outil se révèle indispensable pour dimensionner un circuit implémenté en technologie MOS avancée (65nm GP) et travaillant sous seuil. Un algorithme d'optimisation automatique inspiré de la méthode du gradient est également utilisé pour fixer certains paramètres du circuit.

Le circuit final développé comprend les éléments suivants : un modèle équivalent du TEG, le convertisseur DC/DC basé sur une topologie multi-étages de type doubleur de tension (*voltage doubler*), un oscillateur réalisé à partir d'une chaîne d'inverseurs (*ring oscillator*) ainsi que le circuit de génération d'horloges non recouvrantes (NOC) et les chaînes de buffers associées nécessaires au bon fonctionnement du convertisseur. Le rendement du circuit global optimisé est de 49.6 % et fournit une tension de 525mV sous un courant consommé par la charge de 5.25 μ A.

Table des matières

| | |
|--|-----------|
| Remerciements | 3 |
| Abstract | 5 |
| Résumé | 7 |
| Introduction | 13 |
| 1 État de l'art | 17 |
| 1.1 Techniques de récolte d'énergie | 17 |
| 1.2 Convertisseurs DC/DC conventionnels | 20 |
| 1.2.1 Circuits à capacités commutées | 20 |
| 1.2.2 Circuits à pompe de charges | 21 |
| 1.2.3 Doubleur de tension | 23 |
| 1.2.4 Convertisseur boost | 27 |
| 1.3 Convertisseurs à très basse tension d'entrée | 27 |
| 1.3.1 Circuits à capacités commutées | 28 |
| 1.3.2 Circuits à base de pompe de charges | 29 |
| 1.3.3 Circuit à base de doubleurs de tension | 31 |
| 1.3.4 Tableau récapitulatif | 32 |
| 1.4 Conclusion | 33 |
| 2 Analyse théorique | 35 |
| 2.1 Modèle du convertisseur DC/DC | 35 |
| 2.1.1 Résistance série | 36 |
| 2.1.2 Résistance parallèle | 40 |
| 2.2 Méthodologie de design - Seeman | 41 |
| 2.2.1 Calcul de Z_{OUT} | 42 |
| 2.2.2 Métrique de coût associée aux composants | 43 |
| 2.2.3 Répartition des capacités et switches | 43 |
| 2.2.4 Optimisation numérique | 45 |
| 2.3 Conclusion | 45 |
| 3 Méthodologie de dimensionnement | 47 |
| 3.1 Espace de design | 47 |
| 3.1.1 V_{th} - Choix du type de transistors | 47 |
| 3.1.2 N - Nombre d'étages placés en cascade | 50 |
| 3.1.3 C_t - Taille des capacités de transfert | 50 |
| 3.1.4 f - Fréquence d'horloge | 50 |
| 3.1.5 W, L - Dimensions des transistors | 51 |
| 3.2 Étapes de dimensionnement | 51 |

| | | |
|----------|--|-----------|
| 3.3 | Fréquence d'horloge / capacité de transfert | 51 |
| 3.3.1 | Contrainte de simulation | 51 |
| 3.3.2 | Range du couple fréquence / capacité | 53 |
| 3.3.3 | Limitation des valeurs de f et C_t | 54 |
| 3.3.4 | Première simulation | 55 |
| 3.3.5 | Set de variables de base | 56 |
| 3.3.6 | Taille des transistors | 56 |
| 3.3.7 | Nombre d'étages | 57 |
| 3.3.8 | Type de transistor | 58 |
| 3.3.9 | Choix final fréquence - capacité | 59 |
| 3.4 | Dimensionnement des blocs d'horloge | 60 |
| 3.4.1 | Oscillateur | 60 |
| 3.4.2 | NOC | 61 |
| 3.4.3 | Driver | 62 |
| 3.5 | Dimensionnement des transistors | 63 |
| 3.5.1 | Algorithme du gradient appliqué aux transistors du convertisseur | 63 |
| 3.5.2 | Algorithme du gradient appliqué aux transistors des drivers | 68 |
| 3.6 | Choix du nombre d'étages et du type de transistor | 69 |
| 3.6.1 | Résultats et comparaison | 69 |
| 3.6.2 | Optimisation pondérée de η et V_{OUT} | 70 |
| 3.7 | Conclusion | 72 |
| 4 | Étude des performances | 73 |
| 4.1 | Effet limitatif du <i>forward body bias</i> | 73 |
| 4.1.1 | Analyse sur un <i>voltage doubler</i> à un étage | 73 |
| 4.1.2 | Pour $N = 3$ | 77 |
| 4.1.3 | Circuit final | 78 |
| 4.2 | Quantification du gain en performance avec le <i>forward body bias</i> | 79 |
| 4.3 | Variation de la charge | 80 |
| 4.3.1 | Impact de la tension d'alimentation V_{TEG} | 80 |
| 4.3.2 | Impact de la température | 83 |
| 4.3.3 | Impact des corners de process | 85 |
| 4.4 | Surface totale du convertisseur | 87 |
| 4.5 | Comparaison des performances avec état de l'art | 87 |
| 4.6 | Conclusion | 88 |
| | Conclusion | 89 |
| | Bibliographie | 93 |
| A | Études complémentaires | 97 |
| A.1 | Considérations sur le <i>matching</i> d'impédance | 97 |
| A.2 | Méthode de dimensionnement - Cabrini | 99 |
| A.2.1 | Introduction | 99 |
| A.2.2 | Expression de V_{OUT} | 99 |
| A.2.3 | Expression de Z_{OUT} | 99 |
| A.2.4 | Expression du rendement | 101 |
| A.2.5 | Algorithme | 102 |
| A.2.6 | Limitations | 102 |
| A.2.7 | Résultats | 102 |

| | | |
|----------|--------------------------------|------------|
| A.3 | Effet de substrat | 105 |
| A.4 | Effet de canal court | 108 |
| A.5 | Capacités parasites | 110 |
| B | Codes Eldo | 113 |
| B.1 | Circuit final | 113 |

Introduction

Contexte

L'Internet des Objets ou *Internet of Things* (IoT) a connu un intérêt grandissant ces dernières années. Ce paradigme prévoit le déploiement, à grande échelle, de nœuds interconnectés dont certains estiment le nombre à plusieurs dizaines de milliards d'ici 2025 [1]. Ces nœuds pourraient être développés sur le modèle des réseaux de capteurs sans fils ou *wireless sensor networks* (WSN) qui ont fait l'objet de beaucoup de recherches ces dernières années. Les nœuds de l'IoT seraient ainsi de petits systèmes électroniques pouvant être intégrés dans des objets de la vie de tous les jours. Munis de capteurs, ces nœuds permettent de faire le lien entre de le monde virtuel et le monde physique. Les applications possibles couvrent des domaines variés : par exemple la domotique (maison intelligente), le monitoring (de patients, de structures des bâtiments...) ou encore la logistique (gestion optimisée de marchandises).

Un aspect critique de cette technologie est l'alimentation individuelle des nœuds. Pour certaines applications, une alimentation en se connectant au réseau électrique est envisageable. Néanmoins, dans l'optique d'un déploiement massif de nœuds qui devront pouvoir fonctionner dans des environnements variés, les alternatives à une alimentation filaire doivent être envisagées. L'utilisation d'une batterie à remplacer n'est pas réaliste : les coûts de maintenance associés seraient prohibitifs vu le nombre astronomique de nœuds déployés. L'utilisation de batteries pourrait être un candidat valable uniquement à condition d'avoir une durée de vie suffisamment longue et une taille assez réduite. Une autre solution possible consiste à rendre les nœuds de l'IoT énergétiquement autonomes en leur permettant de récupérer l'énergie ambiante, ce que l'on appellera plus communément du *energy harvesting*. Cela peut également être utilisé en complément d'une batterie rechargeable, dans le but de prolonger sa durée de vie. Les techniques d'*energy harvesting* sont multiples : cellules photovoltaïques, générateur thermoélectrique, générateur piézoélectrique, etc. La surface que ces dispositifs peuvent occuper reste cependant limitée puisque le nœud de l'IoT doit être intégrable dans des objets de la vie courante. La quantité d'énergie qui peut être récupérée en est donc d'autant plus faible. Cela aura des implications dans la structure du nœud de l'IoT.

Dans le cadre de ce travail, nous avons envisagé le cas d'un nœud de l'IoT basé sur du *energy harvesting*. La structure typique d'un tel nœud est représentée à la figure 1. Un nœud de l'IoT dispose d'un émetteur-récepteur RF qui lui permettra de communiquer avec les autres nœuds et/ou une station de base. Le nœud sera également muni d'un ou plusieurs capteurs de natures diverses et variées : température, humidité, mouvement, signaux corporels, etc. Ce capteur va récolter des informations qui seront ensuite envoyées vers un microcontrôleur. En plus de traiter ces informations,

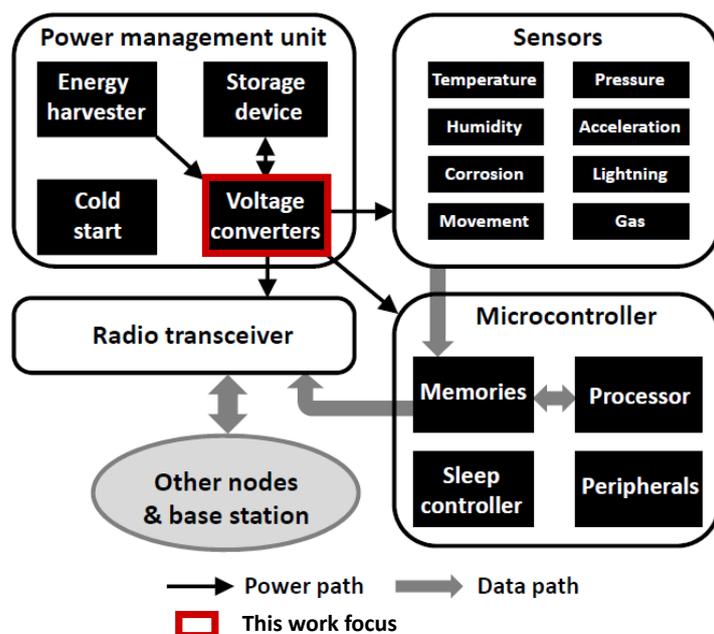


FIGURE 1 – Architecture classique d'un nœud WSN de l'IoT. [2]

le microcontrôleur devra gérer l'ensemble du nœud : il contrôle la transmission de données effectuée par l'émetteur-récepteur, mais il va également jouer un rôle essentiel dans la gestion de la consommation de puissance du nœud. La gestion de la consommation est un aspect critique du nœud de l'IoT. Typiquement, la puissance consommée par le nœud en mode actif sera plus élevée que la puissance récupérée par le module de *energy harvesting* ; le nœud opérera donc avec un faible rapport cyclique. L'unité de gestion de l'énergie ou *power management unit* (PMU) contrôlée par le microcontrôleur devra comporter une unité de stockage d'énergie qui peut être, par exemple, une batterie ou une supercapacité. Lorsque le système sera en mode *sleep* (la majeure partie du temps) et consommera peu de puissance, l'énergie excédentaire sera stockée ; lorsque le système sera en mode actif, il disposera d'une puissance suffisante pendant un court instant.

L'élément qui nous intéresse tout particulièrement dans le cadre de ce travail est le convertisseur de tension présent à la suite du module de *energy harvesting*. Selon la source d'énergie utilisée, la puissance récupérée peut varier plus ou moins fortement. Il en va de même pour les niveaux de tension fournis qui peuvent être inacceptables pour les circuits électroniques du nœud (microcontrôleur, émetteur-récepteur RF, capteurs, etc). Dans le cas présent, nous considérons l'utilisation d'un générateur thermoélectrique récupérant la chaleur du corps humain : un gradient de température (entre la peau et l'air ambiant) appliqué aux bornes de ce dispositif mène à un flux de chaleur qui peut être transformé en énergie électrique grâce à l'effet Seebeck. Cette technologie, lorsqu'elle est utilisée sur le corps humain, produit généralement des tensions très faibles (de l'ordre de quelques dizaines de mV) car le gradient de température est faible et la surface du dispositif est réduite. Notre convertisseur de tension continue sera nécessaire pour élever ce niveau de tension d'entrée très faible vers une tension cible de 0.5V. Cette tension est suffisante pour faire fonctionner un panel de circuits électroniques qui pourraient être utilisés dans un nœud de l'IoT [3], [4], [5].

Un nœud de l’IoT devra également être le moins cher possible puisqu’à terme un nombre astronomique de nœuds devrait être déployé. Ce faible coût implique notamment l’utilisation de circuits complètement intégrables sur puce : le convertisseur DC/DC utilisé devra donc éviter l’utilisation de composants externes volumineux tels que les inductances. Nous étudierons le cas des convertisseurs à capacités commutées (switched-capacitors converters) qui utilisent uniquement des capacités et des transistors intégrables sur puce.

Cahier des charges

Spécifications du convertisseur DC/DC développé

Circuit alimenté par un générateur thermoélectrique (TEG).

Technologie transistor MOS : 65nm GP.

Technologie capacités : MiM 65nm.

Tension d’entrée : V_{IN} minimum de 156 mV¹

Tension de sortie : V_{OUT} régulée à 0.5 V.

Courant consommé par la charge : $I_{load} = 5 \mu\text{A}$.

Intégrable sur puce : pas d’inductance et budget en capacité limité à maximum 500pF.

Pas de mécanisme de *start-up* : démarrage sans aucun apport de puissance autre que celle du TEG.

Structure du document

Dans ce travail, nous commencerons par faire un état de l’art des principales techniques de récupération d’énergie. Cela nous permettra de choisir la technique la plus adaptée. Notre choix se portera sur un générateur thermoélectrique. Nous établirons le modèle électrique qui sera utilisé pour simuler son comportement. Ensuite, nous donnerons un aperçu des différents types de convertisseurs DC/DC traditionnellement utilisés en électronique pour augmenter une différence de potentiel. Nous expliquerons brièvement leur principe de fonctionnement. Nous examinerons ensuite quelques convertisseurs issus de recherches récentes qui sont destinés tout particulièrement à des applications très faibles puissances. Ces circuits fonctionnent à des tensions d’entrée très basses, ce qui peut nécessiter l’utilisation de techniques particulières comme le *body bias* ou l’utilisation de *switches* MOS complexes pour en améliorer le comportement.

Nous étudierons ensuite certaines méthodes de dimensionnement basées sur une analyse théorique des convertisseurs à capacités commutées. Nous constaterons que ces méthodes sont difficilement applicables dans notre cas car pour des technologies avancées qui, de plus, fonctionnent sous seuil, l’estimation théorique de certains paramètres technologiques ainsi que la prise en compte d’effets de second ordre ne

1. Cette tension correspond à la tension délivrée à vide par le TEG pour un $\Delta T = 1^\circ\text{C}$. La tension effective s’appliquant à l’entrée du convertisseur sera en réalité plus basse puisque le courant soutiré au générateur fera apparaître une chute de tension aux bornes de sa résistance interne.

sont pas suffisamment précises. Ces analyses sont néanmoins intéressantes pour la compréhension de notre circuit et nous permettront de mettre en lumière certains éléments que nous prendrons en considération dans la méthode de dimensionnement que nous développons.

Le troisième chapitre se concentrera sur la méthode de dimensionnement que nous avons mise au point. Nous présenterons d'abord les différents paramètres du circuit qu'il sera nécessaire de déterminer de manière optimale. Ensuite, nous expliquerons les différentes étapes de notre méthodologie. Notre démarche reposera en grande partie sur l'analyse de résultats de simulation fournis par le logiciel Eldo de Mentor Graphics. L'utilisation d'un tel logiciel sera essentielle pour prendre en compte tous les effets associés à des technologies MOS avancées comme les transistors de 65nm GP qui seront utilisés dans notre circuit. Un algorithme d'optimisation inspiré de la méthode du gradient sera également utilisé pour fixer de manière automatisée certains paramètres du circuit.

Enfin nous présenterons les performances de notre circuit optimisé avec notre méthode de dimensionnement, ainsi que son comportement pour des points de fonctionnement non standards. Nous conclurons en résumant ce qui a été accompli tout au long de ce travail et en présentant certaines pistes d'amélioration.

Chapitre 1

État de l'art

Dans ce chapitre, nous réalisons tout d'abord un état de l'art des principales méthodes de récolte d'énergie ambiante. Nous motiverons le choix de l'utilisation d'un générateur thermoélectrique pour notre application. Ensuite, nous étudierons les convertisseurs DC/DC qui sont utilisés conventionnellement en électronique pour élever les niveaux de tension au sein d'un circuit. Certains types de convertisseurs seront déjà écartés en raison des contraintes fixées dans le cahier des charges. Enfin, nous examinerons les convertisseurs présentés dans la littérature et dont les caractéristiques techniques sont proches de nos spécifications. Ces circuits sont spécialement développés pour des tensions d'entrée faibles. Sur base d'une comparaison de l'ensemble des circuits analysés, nous ferons un choix définitif sur la topologie de convertisseur utilisée.

1.1 Techniques de récolte d'énergie

Le paradigme de l'Internet of Things prévoit le déploiement d'un très grand nombre de nœuds. Alimenter ces nœuds à l'aide de batteries impliquerait une durée de vie limitée et/ou la nécessité d'un remplacement de la batterie. Vu le grand nombre de nœuds déployés, le remplacement est simplement inenvisageable. Il est donc nécessaire de rendre ces nœuds autonomes énergétiquement parlant en récoltant l'énergie environnante.

Parmi les différentes techniques de récolte d'énergie (*energy harvesting*) existantes, les principales techniques envisagées pour un nœud de l'IoT sont le photovoltaïque, la récupération d'énergie cinétique/vibratoire et le thermoélectrique. Selon le type d'application et les niveaux de puissance recherchés, l'une ou l'autre solution sera plus adaptée.

La récupération d'énergie à l'aide de cellules photovoltaïques est certainement la technique permettant de récupérer le plus de puissance pour une surface donnée. Elle est néanmoins tributaire de la présence de lumière qui peut être de qualité énergétique variable. La quantité d'énergie récupérable va dépendre de la répartition du spectre de rayonnement solaire, de l'intensité de la lumière ainsi que de l'angle d'incidence des rayons [6]. Ainsi, des valeurs typiques de puissance récupérée par unité de surface sont de l'ordre de 20-100 mW/cm² pour une lumière solaire en conditions *outdoor* et de l'ordre de 3-128 μ W/cm² pour une lumière solaire *indoor*. Ces valeurs dépendront également de la température de la cellule photovoltaïque et de sa sensibilité spectrale.

La récupération d'énergie cinétique peut se faire selon deux méthodes : soit l'énergie est récupérée par application directe d'une force, soit elle est récupérée en exploitant l'inertie d'une masse test. Cette énergie est ensuite convertie en énergie électrique en utilisant un convertisseur qui peut-être de type électromagnétique, électrostatique ou piézoélectrique. Dans tous les cas, [7] indique que la densité volumique de puissance qui peut en être tirée diminue avec la taille du dispositif et dépend fortement de la fréquence des mouvements sources d'énergie.

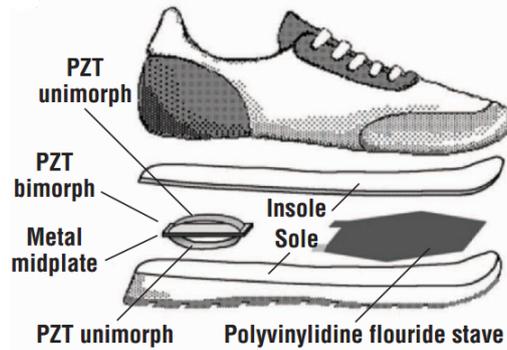


FIGURE 1.1 – Récupération d'énergie via un patch piézoélectrique intégré dans une chaussure [8].

Les générateurs thermoélectriques exploitent l'effet Seebeck : un gradient de température appliqué à un couple de semiconducteurs dopés n et p (thermocouple) va générer une différence de potentiel. Les générateurs thermoélectriques se présentent généralement sous la forme de thermocouples encapsulés par deux plaques sur lesquelles s'applique le gradient de température. La différence de potentiel générée

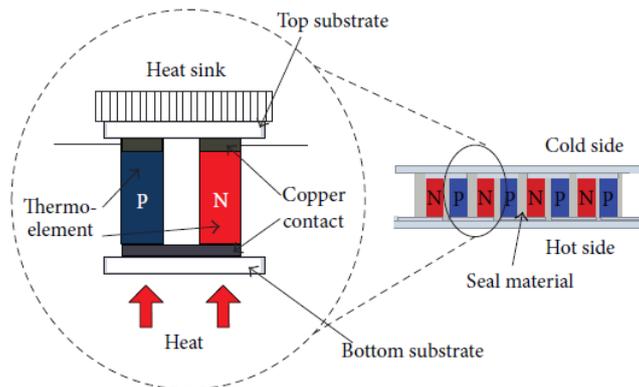


FIGURE 1.2 – Structure d'un générateur thermoélectrique (TEG) [9].

est directement proportionnelle au gradient de température, ces gradients étant généralement de faible amplitude, il est nécessaire d'utiliser plusieurs thermocouples placés en série afin d'augmenter la tension en sortie. En ce qui concerne la puissance récupérée, elle sera limitée par le rendement du cycle de Carnot $\frac{T_h - T_c}{T_h}$ associé à l'échange de chaleur entre les plaques. Un exemple d'application exploitant la chaleur corporelle est présenté dans [10] : avec une température ambiante de 22°C et une température corporelle de 37°C, la puissance par unité de surface récoltée est

TABLE 1.1 – Performances des différents types de *energy harvesting* étudiés.

| Source d'énergie | Densité de puissance | Source |
|--------------------------------------|---------------------------|--------|
| Lumière solaire en outdoor | 20-100 mW/cm ² | [11] |
| Lumière solaire en indoor | 3-128 μW/cm ² | [6] |
| Énergie thermique du corps humain | 25 μW/cm ² | [10] |
| Patch piézoélectrique dans chaussure | 330 μW/cm ³ | [7] |

de l'ordre de 25μW/cm².

L'application que nous visons est un nœud IoT qui serait en contact avec le corps humain. Afin de s'affranchir de contraintes sur la présence de lumière, nous avons décidé d'écarter le choix d'une cellule photovoltaïque comme source d'énergie. La récupération de l'énergie cinétique/vibratoire du corps humain est également fortement dépendante de l'activité de l'utilisateur (journée/nuit, activité physique, etc). De manière générale, les vibrations générées sont à des fréquences assez basses, ce qui limite l'efficacité de la récupération. Notre choix se porte donc sur un générateur thermoélectrique qui tirerait parti du gradient de température entre le corps humain et l'air ambiant. Le gradient de température s'élèvera, au plus, à quelques degrés Kelvin.

Il convient maintenant de modéliser le TEG afin de simuler correctement le comportement de notre circuit complet sur Eldo. Dans [9], le TEG est simplement modélisé par son équivalent de Thévenin : une source de tension V et une résistance interne R . L'amplitude de cette source de tension est directement proportionnelle au gradient de température.

$$V = \alpha_{p-n}(T_H - T_C) \quad (1.1)$$

Le facteur α_{p-n} correspond à la différence des coefficients de Seebeck associés aux deux matériaux dopés n et p. T_H et T_C correspondent aux températures de la source chaude et de la source froide respectivement.

La résistance interne du TEG peut-être approximée par l'expression suivante :

$$R = N \cdot \left(\frac{\rho L}{A} + \frac{2\rho_C L_C}{A_C} \right) \quad (1.2)$$

Où N correspond au nombre de thermocouples mis en série, ρ et ρ_C sont respectivement la résistivité du thermocouple et du métal de contact. Les autres paramètres caractérisent la géométrie du thermocouple représenté sur la figure 1.3.

Cette résistance interne ne pourra donc logiquement varier qu'avec la température du thermocouple et du contact métallique. En pratique, pour donner des valeurs réalistes à la source de tension et la résistance interne, nous nous sommes basés sur les datasheet du générateur thermoélectrique MPG-D751 de la marque Micro-pelt [12]. Les datasheet nous fournissent notamment les courbes $V - I$ du TEG pour différents gradients de températures.

- La tension V correspond à la tension à vide du TEG : nous avons pris ici un *worst case* avec un gradient de température de 1K qui nous donne $V = 0.156V$.
- La résistance interne est déterminée en faisant le rapport de la tension en circuit ouvert et du courant de court-circuit. On constate ainsi que la résistance interne du TEG varie très peu avec la température et est d'environ 400Ω.

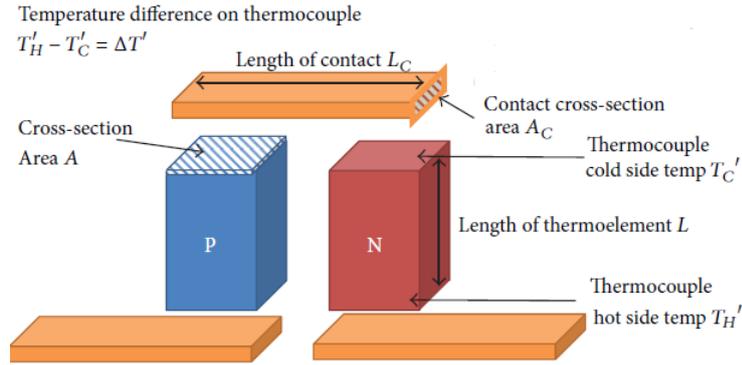


FIGURE 1.3 – Vue détaillée d'un thermocouple [9].

Nous utiliserons ces deux valeurs pour le modèle du TEG utilisé dans Eldo. Dans le cas où l'on connecte directement le TEG à la charge, le transfert de puissance est maximal lorsqu'il y a l'adaptation d'impédance entre la résistance interne du TEG et la charge qu'il alimente. Dans notre circuit, le convertisseur présente une résistance série non négligeable et il faut en tenir compte dans le matching d'impédance (voir annexe A.1).

1.2 Convertisseurs DC/DC conventionnels

La tension qui sera fournie par le TEG ne sera pas suffisante pour faire fonctionner les circuits électroniques : l'utilisation d'un convertisseur de tension est nécessaire. Nous présentons, dans cette section, une description des différents types de convertisseurs réalisant une augmentation du niveau de tension ainsi que les limitations principales de ceux-ci.

1.2.1 Circuits à capacités commutées

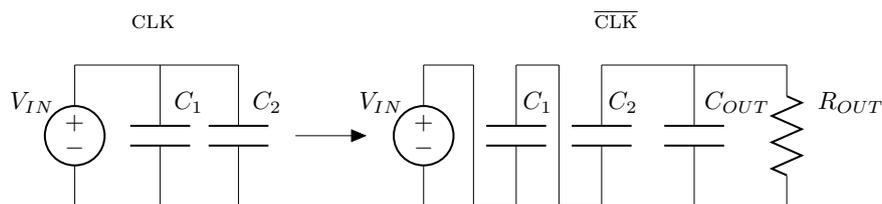


FIGURE 1.4 – Exemple de circuit à capacités commutées.

1.2.1.A Étude du fonctionnement

Sur la figure 1.4, un exemple simplifié de circuit à capacités commutées est présenté. La topologie représentée est celle d'un montage permettant de multiplier par trois le niveau de tension. D'autres topologies de convertisseurs à capacités commutées permettent d'implémenter d'autres rapports de conversion [13]. La représentation d'un tel circuit où figurent les switches sera présentée dans la section suivante (1.11).

Dans la première phase de fonctionnement, la topologie du circuit est telle que la source de tension est appliquée à une ou plusieurs capacités en parallèle qui, de ce fait, se chargent. Dans la seconde phase de fonctionnement, la source de tension s'applique aux mêmes capacités qui sont maintenant placées en série. Les différences de potentiel présentes sur chacune des capacités s'additionnent et un transfert de charges est possible vers la capacité de sortie C_{OUT} et la charge R_{OUT} .

La modification dynamique de la topologie est assurée par un signal d'horloge qui active ou désactive certains interrupteurs. Ces interrupteurs sont implémentés à partir de transistors MOS. En considérant le circuit idéal de la figure 1.4, avec une résistance de charge R_{OUT} infinie, le niveau de tension sur la capacité de sortie C_{OUT} va augmenter lors de chaque cycle d'horloge pour atteindre en régime $3V_{IN}$. Si, par contre, R_{OUT} n'est plus infinie, la capacité C_{OUT} se décharge continuellement à travers R_{OUT} et la tension moyenne en régime est inférieure à $3V_{IN}$.

1.2.1.B *Limitations*

Dans le cas où l'on vise une application avec un rapport de conversion supérieur à 1, l'implémentation des interrupteurs s'avère difficile avec ce type de circuit [14]. En effet, considérons un interrupteur situé au sein du convertisseur dont la tension de grille est à V_G et les tensions aux deux autres accès sont respectivement V_A et V_B ¹. Suivant la phase de fonctionnement et la position dans le convertisseur, V_A et V_B peuvent être supérieurs à V_{IN} . Dès lors, dans le cas où ce switch est implémenté par un NMOS, il est facile de le couper en appliquant la masse à sa grille² mais il peut s'avérer difficile de l'activer puisque cela nécessite un niveau de tension de grille supérieur à V_A et V_B . Or, cette tension de grille sera généralement commandée par un signal d'horloge qui évolue entre 0 et V_{IN} . Dans le cas où le switch est implémenté par un PMOS, c'est le contraire : on peut facilement l'activer en plaçant sa grille à la masse alors que le couper nécessite une tension supérieure à V_A et V_B [15].

1.2.2 Circuits à pompe de charges

Ce type de circuit est largement répandu pour générer des tensions au dessus de la tension d'alimentation dans les circuits électroniques. Les applications typiques sont l'écriture et l'effacement des mémoires Flash et EEPROMs ainsi que la polarisation des substrats dans certains circuits [16]. Le premier circuit à pompe de charges a été mis au point par Dickson [17]. Depuis lors, de nombreuses variantes de son circuit ont été développées [18].

1.2.2.A *Étude du fonctionnement*

Le bloc de base de circuit est composé de deux éléments : une diode (implémentée ici sous forme d'un transistor monté en diode) et une capacité de transfert. Souvent, on place en série un certain nombre de ces blocs de base afin d'obtenir l'élévation en tension souhaitée. Sur la figure 1.5, on retrouve ainsi trois blocs placés en série alimentant une charge R_{OUT} au travers d'une capacité de lissage C_{OUT} .

Les signaux CLK et $\overline{\text{CLK}}$ ont un rôle différent de celui qui a été décrit dans les circuits à capacités commutées. Plutôt que de simplement modifier dynamiquement la topologie du circuit, les signaux CLK et $\overline{\text{CLK}}$ imposent un niveau de tension variable (0 ou V_{IN}) à la plaque inférieure des capacités de transfert. Mise à part

1. Pour le switch situé entre C_{OUT} et C_2 , $V_A \simeq 2V_{IN}$ et $V_B \simeq 3V_{IN}$

2. La masse est bien un niveau de tension que l'on possède

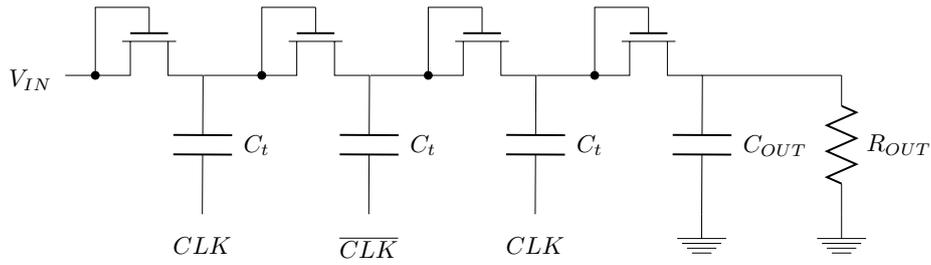
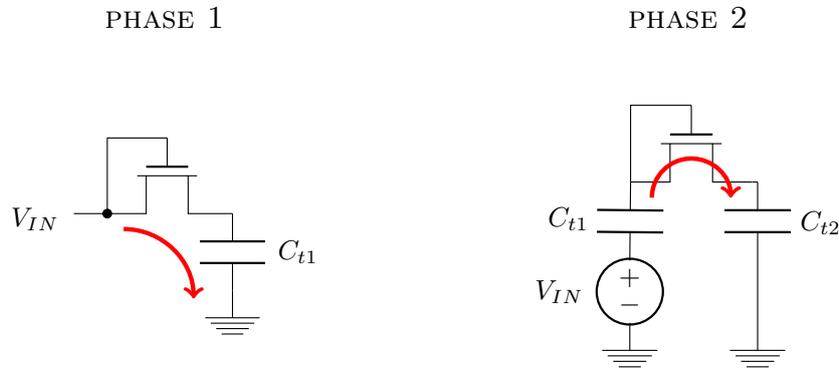


FIGURE 1.5 – Circuit de pompe de charges à trois étages.

cette différence, le fonctionnement de ce circuit repose également sur un transfert de charges qui se fait en deux phases. Dans un souci de clarté, notre explication se concentre sur le transfert de charges aux deux premiers étages d’une chaîne.



Durant cette phase, le signal CLK est bas. Un transfert de charges a lieu du nœud V_{IN} vers la capacité de transfert C_t . Le transistor NMOS monté en diode assure ce transfert. Étant donné qu’il est monté en diode, ce NMOS est saturé tant que $V_{GS} > V_{th}$ ³. Lorsque cette condition n’est plus respectée, le transistor est bloqué : le transfert de charges n’est donc plus assuré que via des courants de fuite.

Supposons un cas idéal où le transfert de charges de la phase 1 se soit déroulé jusqu’à atteindre une tension V_{IN} sur la capacité de transfert C_{t1} . Durant la phase 2, le signal CLK est haut et il impose V_{IN} à la plaque inférieure de la capacité de gauche. On retrouve donc une tension $2V_{IN}$ au drain du transistor. Un transfert de charges peut alors avoir lieu pour charger la seconde capacité. Ce transfert s’effectue à nouveau tant que la condition suivante est respectée : $V_{GS} > V_{th}$.

En régime, les capacités de transfert conservent toutes un niveau de tension DC différent et de plus en plus grand d’étage en étage. Ces capacités de transfert sont également le siège d’une variation de tension commune à toutes. Cette variation de tension est la conséquence du transfert de charges qui est à l’origine du courant de sortie I_{OUT} .

3. L’autre condition de saturation étant toujours vérifiée de par le montage en diode ($V_{DS} > V_{GS} - V_{th}$)

1.2.2.B Limitations

Deux effets limitants des convertisseurs DC/DC sont la tension de seuil des transistors et les capacités parasites. En particulier pour ce circuit, on peut exprimer la tension de sortie et le courant entrant en tenant compte de ces deux éléments [19]. Le coefficient α est le rapport entre les capacités parasites et les capacités de transfert. Ces deux éléments limitent le rendement du convertisseur.

$$I_{IN} = (N + 1)I_{OUT} + \alpha C_t f N V_{IN} \quad (1.3)$$

$$V_{OUT} = (N + 1)(V_{IN} - V_{th}) - \frac{N I_{OUT}}{C_t f} \quad (1.4)$$

La présence de la chute de tension V_{th} dans l'équation de la tension est due à une hypothèse faite par ce modèle qui considère que le courant sous seuil sera nul. Lorsque la capacité est chargée à $V_{IN} - V_{th}$, le transistor atteint la limite de fonctionnement en forte inversion. Ce modèle n'est donc plus valable lorsque V_{IN} est inférieure à la tension de seuil des transistors car dans ce cas, ces derniers débitent toujours un courant de fuite.

Notons également que, par rapport aux circuits à capacités commutées présentés à la section précédente, la tension appliquée à la grille des transistor n'est plus limitée à V_{IN} mais augmente d'étage en étage puisque les transistors sont montés en diode. Utiliser un *charge pump* comprenant un grand nombre d'étages ne limitera donc plus le fonctionnement des switches.

1.2.3 Doubleur de tension

1.2.3.A Présentation du circuit

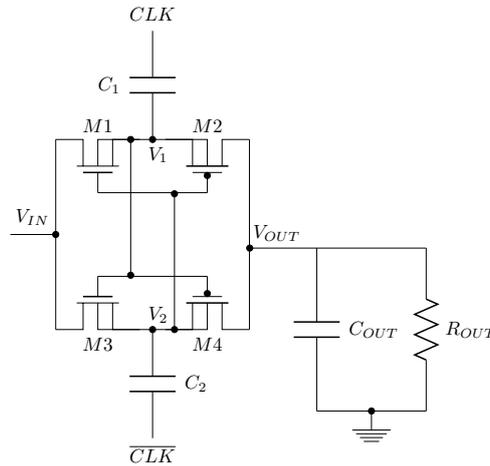


FIGURE 1.6 – Voltage doubler à un étage.

Le doubleur de tension tel que présenté ici a été développé par Favrat [20]. Dans la littérature, on fait souvent référence à cette topologie sous le nom de *cross-coupled voltage doubler*. Le bloc de base du *voltage doubler* est constitué de deux transistors NMOS, deux transistors PMOS et deux capacités de transfert. La figure 1.6 représente l'architecture d'un étage auquel on a connecté une charge et la capacité de sortie. Lorsque l'on place en série plusieurs blocs, on connecte le drain des PMOS de l'étage i au drain des NMOS de l'étage $i+1$.

1.2.3.B Fonctionnement du circuit en transitoire

Le principe de fonctionnement est similaire au circuit à pompe de charges présenté précédemment. Un signal d'horloge permet d'imposer un niveau de tension tantôt haut, tantôt bas aux bornes inférieures des capacités de transfert. La compréhension du fonctionnement de ce circuit est légèrement moins intuitive que pour les autres circuits. Pour cette raison, on s'aide de signaux extraits de simulations pour apprécier la manière dont les tensions évoluent durant le processus (figure 1.7). Concentrons-nous sur les premiers instants du fonctionnement du circuit. En $t = 0$, tous les niveaux de tensions au sein du circuit sont nuls.

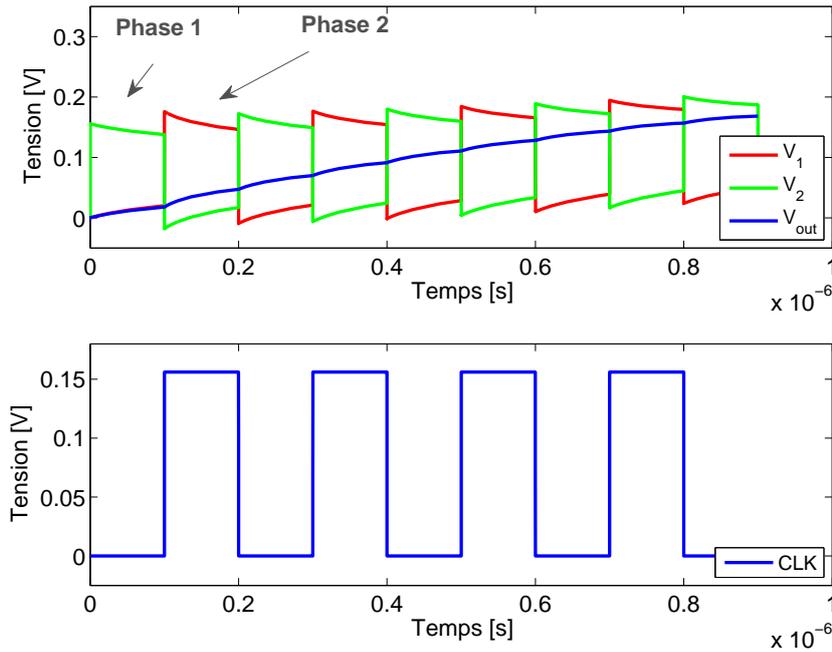


FIGURE 1.7 – Signaux au sein du voltage doubler lors du démarrage ($V_{IN} = 0.156V$).

Phase 1 : Le signal CLK est bas et le signal \overline{CLK} est haut. De ce fait :

- le transistor M1 possède une tension $V_{GS} \simeq V_{IN}$, il est passant. M3 est lui bloquant car $V_{GS} \simeq 0$.
- le transistor M4 a une tension $V_{SG} \simeq V_{IN}$, il est passant. M2 est lui bloquant : $V_{SG} \simeq 0$.

Par conséquent, la capacité C_1 se charge : cela s'observe avec le niveau de tension du nœud V_1 qui passe ainsi de 0 à 60mV. La capacité C_2 se décharge dans la capacité C_{OUT} . La tension V_2 est initialement à 156mV et diminue pour atteindre 103mV.

Phase 2 : Le signal CLK est haut et \overline{CLK} est bas.

- le transistor M3 possède une tension $V_{GS} \simeq V_{IN}$: il peut être considéré passant. M1 est, quant à lui, bloquant.
- le transistor M2 passant et M4 est bloquant.

Dans cette nouvelle configuration, la capacité C_1 se décharge dans la capacité de sortie alors que C_2 se recharge à partir de V_{IN} . La tension du nœud de sortie augmente progressivement au fur et à mesure des cycles d'horloge.

1.2.3.C Fonctionnement en régime

Maintenant que le fonctionnement en transitoire a été explicité, voyons comment évoluent les niveaux de tension lorsque le circuit est en régime. On entend par là que la composante DC de la tension de sortie est constante. Voici un zoom sur les signaux d'intérêt (figure 1.8).

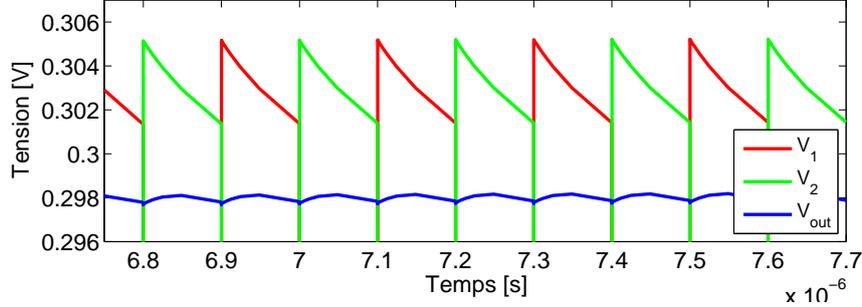


FIGURE 1.8 – Signaux au sein du voltage doubler en situation de régime.

Les caractéristiques principales du circuit utilisé pour observer les signaux sont données dans la table 1.2.

| R_{OUT} | $ V_{OUT} $ | C_t | f |
|---------------|-------------|-------|------|
| 100k Ω | 298mV | 100pF | 5MHz |

TABLE 1.2 – Caractéristiques du circuit étudié.

En régime, les nœuds sont sujets à des variations de tension qui correspondent au transfert de charges vers la sortie. Ce transfert se fait par la charge et la décharge des capacités de transfert. Utilisons les caractéristiques du circuit (Table 1.2) pour retrouver l'ordre de grandeur de ces oscillations. On commence par calculer le courant de sortie moyen, pour en déduire la quantité de charges transférées à chaque coup d'horloge. Finalement, on est en mesure de calculer la variation de tension aux bornes des capacités.

$$I_{OUT} = V_{OUT}/R_{OUT} \quad (1.5)$$

$$= 2.7\mu A \quad (1.6)$$

$$\frac{\Delta Q}{T/2} = \frac{C\Delta V}{1/2f} = I_{OUT} \quad (1.7)$$

$$\Delta V = \frac{I_{OUT}}{2fC} \quad (1.8)$$

$$= 2.9mV \quad (1.9)$$

Sur la figure 1.8 on observe une variation de tension de l'ordre de 3.4mV sur le nœud V_1 lorsque CLK est haut : la tension aux bornes de la capacité de transfert C_1 passe de (305mV-156mV) à (301.6mV-156mV). Cette différence entre la théorie et la simulation s'explique par la présence d'éléments parasites dans ce circuit qui ne sont pas pris en compte dans ce calcul très rapide. Ces derniers seront mis en lumière plus tard dans ce travail.

La tension V_{GS} qui s'applique aux transistors vaut simplement la différence de tensions entre les nœuds V_1 et V_2 ou V_2 et V_1 suivant le transistor considéré. En régime, cette tension a pour valeur moyenne $\simeq V_{IN}$. L'oscillation de V_{GS} que l'on observe sur la figure 1.8 est due à la variation de tension aux bornes des capacités dont l'origine est le transfert de charges vers la sortie du circuit.

1.2.3.D Avec plusieurs étages

Tout comme pour le *charge pump*, on place traditionnellement plusieurs doubleurs de tension en série afin d'atteindre le niveau de tension souhaité. Pour ce faire, il suffit de connecter la sortie de l'étage i (nœud V_{OUT} sur la figure 1.6) à l'entrée de l'étage suivant $i + 1$. Cette entrée correspond au nœud V_{IN} . Chaque étage sera alimenté par un même signal d'horloge d'amplitude V_{IN} et augmentera idéalement la tension de sortie d'un niveau V_{IN} . Par rapport au circuit à un seul étage, le fonctionnement est identique à la différence que la décharge des capacités ne se fait plus forcément dans la capacité de sortie mais bien dans les capacités des étages suivants ou dans la capacité de sortie pour le dernier étage.

D'étage en étage, le niveau de tension DC augmente. Idéalement, chaque étage est à une tension supérieure de V_{IN} par rapport à celle de l'étage précédent. Il est possible d'observer le niveau de tension DC aux bornes des capacités de transfert (voir figure 1.9). En ce qui concerne les variations de tension associées au transfert de charges, elles sont identiques pour tous les étages. Les capacités à chaque étage se chargent et se déchargent d'une tension ΔV identique, dont la valeur dépend du courant de sortie selon l'équation 1.8.

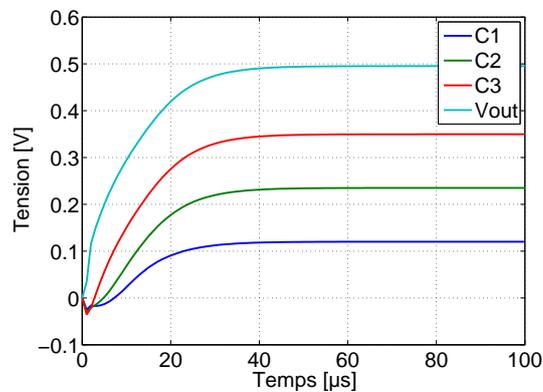


FIGURE 1.9 – Tensions aux différents étages d'un voltage doubler à trois étages.

1.2.4 Convertisseur boost

Les convertisseurs de type boost sont également utilisés pour le type d'application que nous visons. Ils sont constitués d'une inductance, une capacité, une diode et un switch. Dans un premier temps, le transistor NMOS est passant et l'inductance est placée en série avec la source de tension tandis que la charge est isolée. Ensuite, le transistor est coupé et le courant présent dans l'inductance attaque la charge composée de la capacité et la résistance à travers la diode. Le rapport cyclique D du transistor commandé influence le rapport de conversion selon l'équation⁴ :

$$\frac{V_O}{V_I} = \frac{1}{1 - D} \quad (1.10)$$

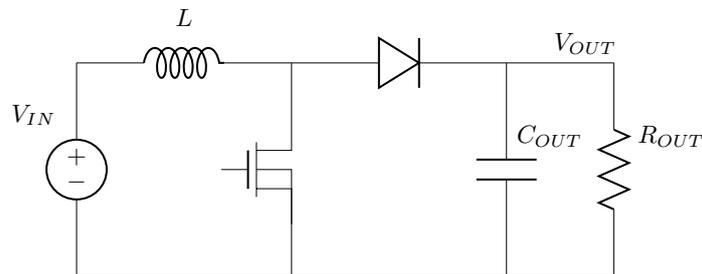


FIGURE 1.10 – Convertisseur Boost [21].

Malheureusement, ces circuits présentent deux inconvénients majeurs : ils ont généralement besoin d'un circuit de start-up pour démarrer à froid et l'intégration d'une inductance sur puce nécessite une grande surface de silicium. Dans l'article [22], le convertisseur fonctionne en régime avec une tension d'entrée de 20mV et fournit une tension de 1V régulée. Cependant, ce circuit nécessite le préchargement d'un élément de stockage à 600mV pour qu'il puisse démarrer. De plus, l'implémentation sur puce de l'inductance occupe une surface de $4mm^2$! Dans l'article [23], le recours à un mécanisme de startup est également nécessaire (switch mécanique) et l'inductance utilisée est de 22 μ H, ce qui aura un coût en surface important.

1.3 Convertisseurs à très basse tension d'entrée

Maintenant que nous avons étudié le fonctionnement des circuits de base, nous pouvons examiner des circuits exploitant les mêmes principes et présentant quelques spécificités afin de pouvoir fonctionner à des tensions d'entrée très basses de manière optimale. Les convertisseurs considérés ici sont tous intégrables sur puce.

4. Le transistor est passant durant $100 \cdot D\%$ du temps

1.3.1 Circuits à capacités commutées

1.3.1.A A series-parallel switched capacitor step-up DC-DC converter and its gate-control circuits for over the supply rail switches

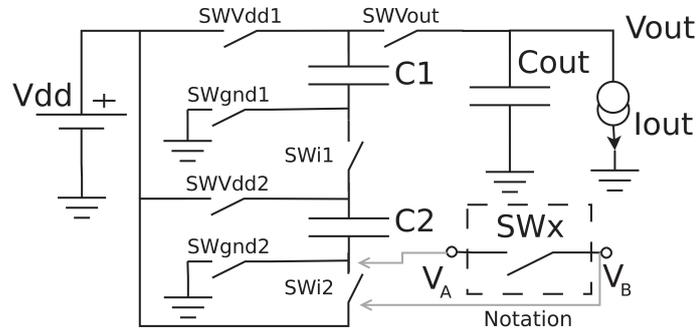


FIGURE 1.11 – Architecture article [15]

La topologie présentée dans cet article est représentée à la figure 1.11. Le fonctionnement de ce circuit est rigoureusement similaire à ce qui a été expliqué plus haut concernant les circuits à capacités commutées. La nuance qu’apporte cet article réside dans l’implémentation des interrupteurs. Le travail des auteurs consiste en la mise au point de switches fonctionnant de manière optimale compte tenu des niveaux de tensions présents à leurs bornes. Ce travail débute par le recensement des niveaux de tensions maximaux aux bornes des différents switches.

| Switch | Phase 1 | | | Phase 2 | | |
|-------------|---------|----------|-----------|---------|-----------|-----------|
| | State | A | B | State | A | B |
| SW_{gnd1} | ON | gnd | $2V_{dd}$ | OFF | gnd | $2V_{dd}$ |
| SW_{gnd2} | ON | gnd | V_{dd} | OFF | gnd | V_{dd} |
| SW_{Vdd1} | ON | V_{dd} | V_{dd} | OFF | V_{dd} | $3V_{dd}$ |
| SW_{Vdd2} | ON | V_{dd} | V_{dd} | OFF | V_{dd} | $2V_{dd}$ |
| SW_{Vout} | OFF | V_{dd} | $3V_{dd}$ | ON | $3V_{dd}$ | $3V_{dd}$ |
| SW_{i1} | OFF | gnd | V_{dd} | ON | $2V_{dd}$ | $2V_{dd}$ |
| SW_{i2} | OFF | gnd | V_{dd} | ON | V_{dd} | V_{dd} |

FIGURE 1.12 – Tableau récapitulatif des niveaux de tensions aux bornes des switches.

Cette analyse mène les auteurs à l’utilisation de diverses stratégies propres à chacun des switches. Lorsqu’il est possible d’activer et fermer correctement un switch constitué d’un seul transistor, on le fait, quand ce n’est pas possible, les auteurs proposent l’utilisation de switches plus complexes tels que celui de la figure 1.13 pour les switches $SW_{VDD1,2}$.

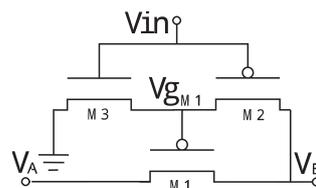


FIGURE 1.13 – Implémentation du switch $SW_{VDD1,2}$.

Les performances de ce circuit sont données dans le tableau 1.3. Le rendement est inférieur à 67.5%, ce dernier ne prenant pas en compte la consommation du circuit

de commande. Le courant de sortie est presque deux ordres de grandeur inférieur à celui de notre cahier des charges. En ce qui concerne la tension d'entrée, la nôtre est inférieure.

| Rendement | Vin | Vout | Iout |
|-----------|-------|-------|-------|
| <67.5% | 200mV | 500mV | 0.1μA |

TABLE 1.3 – Article 1 - capacités commutées

1.3.2 Circuits à base de pompe de charges

1.3.2.A Efficient Power Conversion for Ultra Low Voltage Micro Scale Energy Transducers

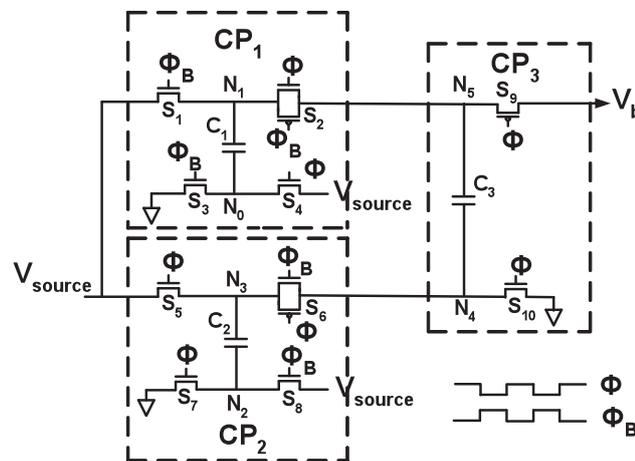


FIGURE 1.14 – Architecture article [24]

La topologie présentée dans cet article est une amélioration du *charge pump* de base : figure 1.14. En comparaison des topologies de pompes de charges classiques, les auteurs montrent que l'utilisation de cette topologie permet de diminuer la résistance ON des transistors grâce aux tensions qui s'appliquent à leurs bornes. De manière générale pour les circuits à pompes de charges, la résistance ON des switches est un des éléments limitant la quantité de charges par cycle qui peuvent être transférées vers la sortie. Les performances de l'article sont reprises dans le tableau ci-dessous 1.4. En ce qui concerne la tension de sortie, on peut en déduire l'ordre de grandeur sachant que les auteurs nomment ce circuit un multiplicateur par quatre. On s'attend donc à obtenir une tension supérieure à 500mV en sortie.

| Rendement | Vin | Vout | Iout |
|-----------|-------|------|-------|
| n.c. | 280mV | n.c. | 190μA |

TABLE 1.4 – Article 2 - Pompe de charges

1.3.2.B A 120-mV Input, Fully Integrated Dual-Mode Charge Pump in 65-nm CMOS for Thermoelectric Energy Harvester

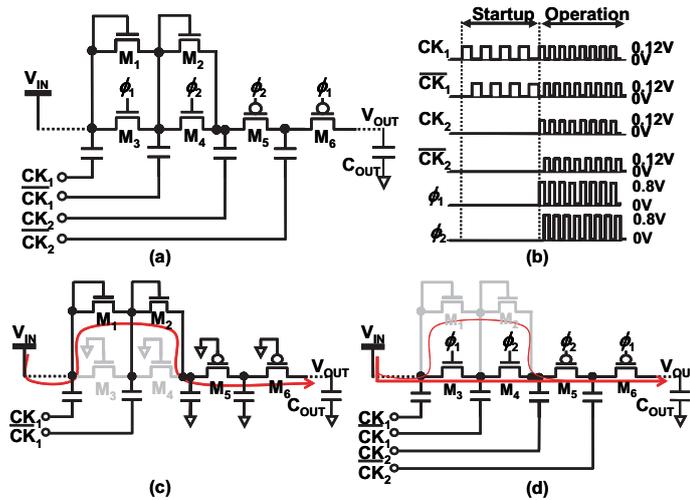


FIGURE 1.15 – Architecture article [25]

Dans cet article, les auteurs proposent un circuit basé sur le principe de la pompe de charge (figure 1.15). Ce dernier est capable de démarrer à très basse tension : 0.12V pour fournir une tension de sortie de 0.77V. Il est constitué de deux circuits fonctionnant en parallèle. Le premier circuit démarre à 120mV et son rôle est de fournir assez de charges vers la sortie afin d'atteindre un niveau de tension suffisant pour que le deuxième circuit puisse s'activer et permettre de générer la puissance de sortie annoncée.

Le désavantage de ce circuit est qu'il nécessite un dédoublement des blocs de génération d'horloge. Il est également constitué d'un grand nombre d'étages montés en série (10 étages).

| Rendement | Vin | Vout | Iout |
|-----------|-------|-------|------|
| 38.8% | 120mV | 770mV | 4μA |

TABLE 1.5 – Article 3 - Pompe de charges

1.3.2.C An Ultra-LowVoltage Self-Startup Charge Pump For Energy Harvesting Applications

Cet article propose un circuit qui est la mise en parallèle de deux pompes de charges. Par rapport aux circuits de pompe de charges traditionnels, les transistors montés en diode sont remplacés par des transistors PMOS commandés indirectement par le signal d'horloge via un couple de transistors NMOS et PMOS. L'intérêt d'un tel montage est la diminution de la résistance ON des transistors PMOS de transfert. Les auteurs proposent également l'utilisation de quatre signaux d'horloges (contre deux traditionnellement) afin de limiter les courants de court-circuit qu'on retrouve typiquement lors des flancs montants/descendants des signaux d'horloge. Les performances du circuit sont données dans la Table 1.6.

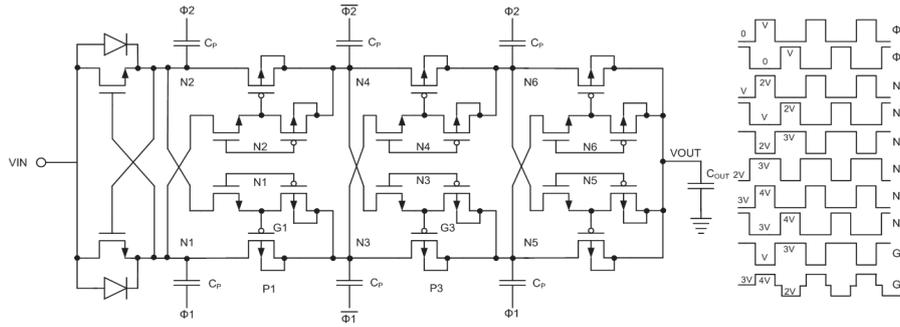


FIGURE 1.16 – Architecture pompe de charges [26]

| Rendement | Vin | Vout | Iout |
|-----------|-------|-------|-------|
| 73% | 150mV | 480mV | 0.1μA |

TABLE 1.6 – Article 4 - Pompe de charges

1.3.3 Circuit à base de doubleurs de tension

1.3.3.A 0.18-V Input Charge Pump with Forward Body Bias to Startup Boost Converter for Energy Harvesting Applications

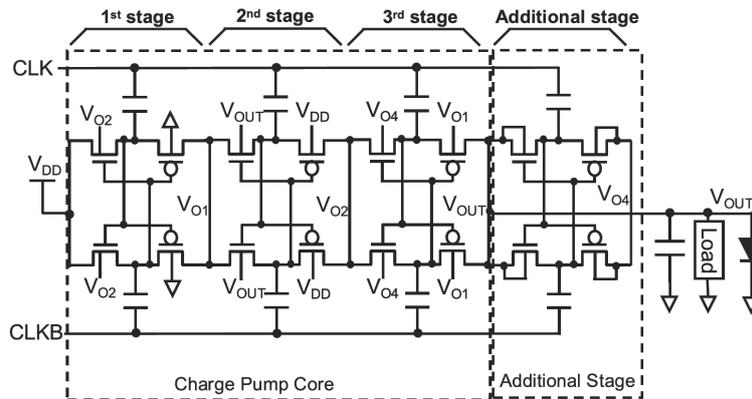


FIGURE 1.17 – Architecture voltage doubler [27]

Dans cet article, on retrouve l'architecture de base du voltage doubler. On retrouve trois étages conventionnels de *voltage doubler* ainsi qu'un étage additionnel dont le but est la génération d'une tension de polarisation pour le substrat des transistors du dernier étage actif. Afin de diminuer la résistance ON des transistors, les auteurs proposent l'utilisation du *forward body bias*. Cette technique exploitant l'effet de substrat est expliquée plus en détails dans l'annexe A.3. Pour les NMOS, il s'agit de connecter le substrat à un nœud situé en aval du circuit (tension supérieure). Pour les PMOS, on connecte le substrat à un nœud situé en amont (tension inférieure). On comprend dès lors pourquoi la tension issue du dernier étage est connectée au body (substrat) des NMOS du troisième étage. En contrepartie, cette amélioration augmente les courants de fuite des transistors lorsqu'ils doivent être coupés.

| Rendement | Vin | Vout | Iout |
|-----------|-------|-------|------|
| n.c. | 180mV | 500mV | 8μA |

TABLE 1.7 – Article 5 - Voltage doubler

1.3.4 Tableau récapitulatif

Sur base des articles étudiés ci-dessus, nous pouvons choisir l'architecture qui semble la plus adaptée aux contraintes de fonctionnement fixées dans le cahier des charges. Un tableau récapitulatif des performances des différents articles a été dressé afin de nous aider dans ce choix.

| N° | Rendement | Vin | Vout | Iout | Complexité |
|----|-----------|-------|-------|-------|---------------------------|
| 1 | <67.5% | 200mV | 500mV | 0.1μA | Faible modularité |
| 2 | n.c. | 280mV | n.c. | 190μA | Faible modularité |
| 3 | 38.8% | 120mV | 770mV | 4μA | Double génération horloge |
| 4 | 73% | 150mV | 480mV | 0.1μA | Horloges 4 phases |
| 5 | n.c. | 180mV | 500mV | 8μA | Facile à implémenter |

TABLE 1.8 – Comparatif des solutions proposées dans l'état de l'art.

- **Article 1** : tel qu'il est décrit dans l'article, ce circuit ne permet pas d'atteindre les performances souhaitées. Avec une tension d'alimentation supérieure à la nôtre, le circuit ne fournit qu'un courant 50 fois inférieur au courant souhaité. Pour envisager l'utilisation de cette topologie, il serait nécessaire de la modifier, par exemple en ajoutant une ou plusieurs capacités de transfert. Malheureusement, une modification de ce type nous semble difficilement réalisable compte tenu de toutes les considérations que les auteurs ont prises pour implémenter les différents switches du circuit.
- **Article 2** : le niveau de tension d'entrée est assez éloigné du niveau de tension que nous visons. De plus, cette topologie n'est pas générique dans le sens où la modifier pour augmenter la tension de sortie ne semble pas trivial. À nouveau, il nous semble peu raisonnable de s'investir dans l'adaptation d'une telle topologie.
- **Article 3** : les performances de ce circuit sont proches de celles que nous devons atteindre. L'unique bémol réside dans l'utilisation de deux systèmes d'horloges, ce qui complexifie la conception du circuit.
- **Article 4** : dans ce circuit, le courant de sortie annoncé est trop bas par rapport à ce dont on a besoin. Il est par contre facilement envisageable d'ajouter un étage à la topologie annoncée. Nous ne choisissons pas cette topologie à cause du besoin de générer quatre signaux d'horloges déphasés, ce qui complexifie le design.
- **Article 5** : ce circuit présente l'avantage, tout comme l'article 4 d'être facilement ajustable : on peut aisément ajouter ou supprimer un étage pour ajuster le niveau de tension en sortie. La topologie est plus simple que celle du circuit

4. Pour cette raison, c'est celle-là que nous décidons de garder et d'implémenter pour réaliser notre convertisseur.

1.4 Conclusion

Dans un premier temps, nous nous sommes intéressés aux différentes techniques de récupération d'énergie. Nous avons choisi de nous baser sur un TEG qui est une source d'énergie constante et qui ne dépend ni de la présence de lumière (cellule photovoltaïque), ni de la présence de mouvements importants (générateur piézoélectrique). La tension à vide du TEG est de 156mV pour $\Delta T = 1\text{K}$ et sa résistance interne est de 400Ω . Ensuite, nous avons fait un état de l'art des circuits des convertisseurs fonctionnant à très faible tension d'entrée et nous avons retenu une topologie multi-étages basée sur le *voltage doubler* et utilisant une technique de *forward body bias* [27]. Les performances de ce circuit sont telles qu'il n'est pas directement utilisable pour notre application : la tension de sortie atteint 500mV pour une entrée à 180mV avec un courant $I_{OUT} \simeq 8\mu\text{A}$. Par contre, il est facilement modulable et dans la suite de ce travail, nous réalisons un nouveau dimensionnement afin qu'il atteigne les performances attendues dans le cahier des charges.

Chapitre 2

Analyse théorique

Dans ce chapitre nous présentons un modèle du convertisseur DC/DC. Ce modèle nous permet de comprendre quels éléments vont impacter le fonctionnement et le rendement de notre circuit. Nous présentons ensuite une méthode générale de dimensionnement théorique des convertisseurs DC/DC à capacités commutées¹ et nous l'adaptions à la topologie que nous avons choisie au chapitre précédent : une mise en cascade de plusieurs doubleurs de tensions.

2.1 Modèle du convertisseur DC/DC

Le rendement de tout circuit peut être exprimé sous la forme conventionnelle :

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{P_{OUT}}{P_{OUT} + P_{LOSS}} \quad (2.1)$$

Le rendement sera maximisé en minimisant les pertes P_{LOSS} . Nous allons ici donner une expression de ces pertes au sein du circuit. Pour ce faire, nous utilisons un schéma équivalent modélisant l'ensemble de notre circuit (figure 2.1).

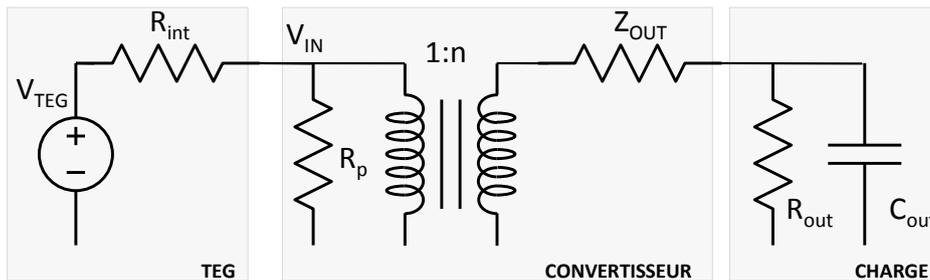


FIGURE 2.1 – Schéma équivalent du système complet : TEG - Convertisseur - Charge.

Ce dernier est divisé en trois parties distinctes :

- Le TEG : modélisé par une source de tension et une résistance série interne. Dans la suite de ce travail, nous distinguerons bien V_{IN} et V_{TEG} . La tension V_{IN} sera toujours inférieure à V_{TEG} puisqu'une chute de potentiel apparaîtra

1. Dans le cas présent, le vocable “capacités commutées” réfère à l'ensemble des circuits se basant sur des transferts de charge dans des capacités. Cela regroupe donc aussi bien ce que nous appelions, dans notre état de l'art, les circuits à capacités commutées, que les pompes de charge ou encore les *voltage doublers*.

sur R_{int} . Celle-ci sera d'autant plus grande que notre circuit consommera un courant important.

- Le convertisseur : constitué d'un transformateur continu idéal de rapport de transformation n , d'une résistance de court-circuit R_p et d'une résistance série Z_{OUT} . C'est sur cette partie que nous allons nous concentrer dans ce travail. La tension à vide V_{nl} du convertisseur est nV_{IN} . En fonction du courant de sortie I_{OUT} , une différence de potentiel apparait sur l'impédance de sortie Z_{OUT} et diminue la tension de sortie.
- La charge : constituée habituellement d'une capacité et d'une résistance. La capacité de sortie C_{OUT} n'est pas comptabilisée dans la capacité totale utilisée pour construire notre convertisseur.

Dans la suite de cette section, nous dérivons une expression pour les deux résistances présentes dans le modèle équivalent de notre circuit. L'expression de n est quant à elle égale à $N+1$, N étant le nombre d'étages du convertisseur.

2.1.1 Résistance série

La valeur de la résistance Z_{OUT} dépend de la fréquence de fonctionnement des horloges. À des fréquences de fonctionnement extrêmement basses ou élevées, Z_{OUT} suit deux asymptotes correspondant à Z_{SSL} et Z_{FSL} , respectivement. Ces deux zones de fonctionnement sont la *Slow Switching Limit* (SSL) et la *Fast Switching Limit* (FSL). Dans la *Slow Switching Limit*, la fréquence des signaux d'horloge du convertisseur est telle que la constante de temps associée à la charge et décharge des capacités est du même ordre de grandeur que la période d'horloge. L'oscillation de tension aux bornes des capacités est non négligeable et elle va avoir un effet négatif sur le rendement du transfert de charges. Ce ne sera plus le cas dans la *Fast Switching Limit* car la période du signal d'horloge sera bien plus petite que la constante de temps associée à la charge/décharge des capacités. Dans le cas général, la résistance série Z_{OUT} sera une pondération de Z_{SSL} et Z_{FSL} , [28] indique que Z_{OUT} peut s'exprimer sous la forme suivante :

$$Z_{OUT} = \sqrt{Z_{SSL}^2 + Z_{FSL}^2} \quad (2.2)$$

2.1.1.A Z_{SSL}

Lorsqu'on charge une capacité C à partir d'une source de tension DC d'amplitude V pour y stocker une charge Q , l'énergie accumulée aux bornes du condensateur vaut :

$$E_{stock} = \int_0^Q V_c(q) dq = \int_0^Q \frac{q}{C} dq = \frac{1}{2} CV^2 \quad (2.3)$$

Or, l'énergie totale soutirée à la source de tension pour charger la capacité en question a pour expression :

$$E_{conso} = \int_0^\infty Vi(t) dt = VQ = CV^2 \quad (2.4)$$

Charger un condensateur de taille C d'un niveau de tension V occasionne donc une perte d'énergie égale à $\frac{1}{2}CV^2$ [J]. Des pertes de ce type existeront dans notre circuit à chaque cycle d'horloge puisque les capacités de transfert vont se charger et se décharger d'une tension ΔV . Pour une taille de capacité donnée, l'énergie perdue de cette manière lors de chaque cycle sera d'autant plus grande que la fréquence

d'horloge est faible, car les variations de tension seront plus importantes. Pour une topologie de type doubleur de tension à N étages, l'énergie perdue pendant un cycle entier sera due à la charge et décharge ΔV des $2N$ capacités de transfert C_t . La puissance dissipée est simplement le produit de cette énergie par la fréquence.

$$E_{LOSS} = \frac{1}{2}C_t(\Delta V)^2 \times 2 \times 2N \quad (2.5)$$

$$P_{LOSS} = \frac{1}{2}C_t(\Delta V)^2 \times 2 \times 2N \times f \quad (2.6)$$

Enfin, en exprimant le courant de sortie I_{OUT} en fonction de ΔV et C_t , il est possible d'obtenir une expression de la puissance dissipée en fonction du courant délivré à la sortie. La quantité de charges reçue en sortie du circuit lors d'un cycle correspond à la décharge (sur deux demi cycles différents) des deux capacités de transfert du dernier étage, on trouve donc :

$$I_{out} = \frac{\Delta Q}{\Delta T} = 2fC_t\Delta V \quad (2.7)$$

En insérant (2.7) dans (2.6), on obtient :

$$P_{LOSS} = \frac{I_{OUT}^2 N}{2fC_t} \quad (2.8)$$

Sur base de cette dernière expression, il est finalement possible d'identifier Z_{SSL} :

$$Z_{SSL} = \frac{P_{LOSS}}{I_{OUT}^2} = \frac{N}{2fC_t} \quad (2.9)$$

2.1.1.B Z_{FSL}

L'expression de l'impédance Z_{SSL} dérivée précédemment est uniquement valable lorsque la période du signal d'horloge est, au moins, du même ordre que la constante de temps des charges et décharges des capacités. Lorsque la fréquence est plus élevée, les capacités ont peu de temps pour se charger et décharger. Les pertes associées à la charge et décharge des capacités sont ici négligeables puisque le ΔV sera très faible. Les pertes dominantes seront celles associées à la résistance ON des transistors. Elles sont exprimées pour une topologie avec N étages actifs² :

$$P_{LOSS} = N(R_{ON,PMOS} + R_{ON,NMOS})I_{out}^2 \quad (2.10)$$

Notre topologie est représentée à la figure 2.2 pour le cas à deux étages. Le dernier étage des drivers d'horloge connecté à la plaque inférieure des capacités de transfert y est également représenté. Cette figure nous permet de comprendre ce que représentent les résistances $R_{ON,PMOS}$ et $R_{ON,NMOS}$. Le transfert de charges lorsque CLK est bas est représenté par les flèches de couleurs. Il est alors possible de déterminer quels transistors sont passants.

$R_{ON,PMOS}$ représente la mise en série de la résistance ON de deux transistors PMOS : d'une part le transistor qui fait partie de l'architecture du doubleur de tension et d'autre part le transistor PMOS du dernier étage des drivers. Cette remarque est également valable pour $R_{ON,NMOS}$. La valeur de ces deux résistances est difficile à déterminer.

2. L'étage de polarisation au sein duquel aucun courant ne circule en régime n'est donc pas compris dans ces N étages.

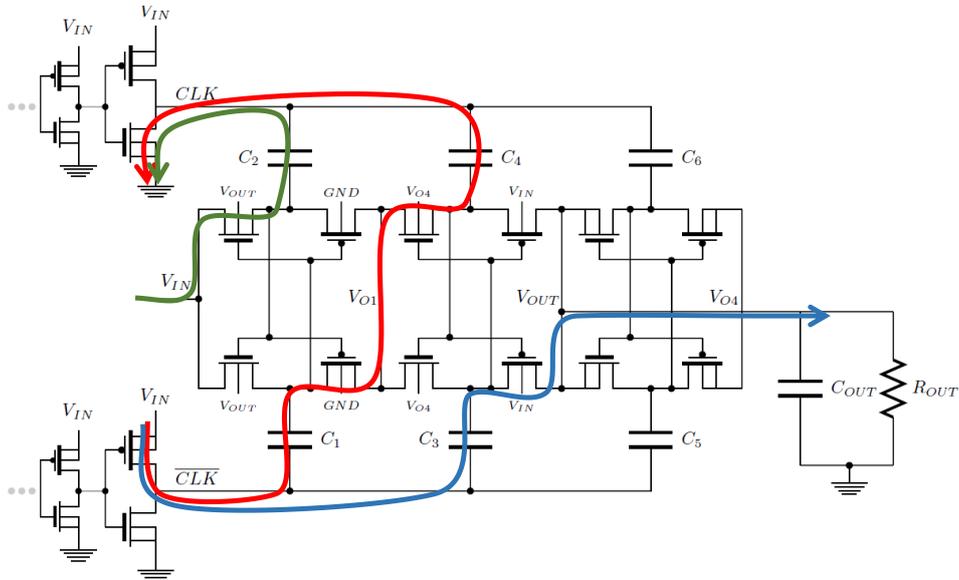


FIGURE 2.2 – Topologie doubleur de tension à deux étages avec *forward body bias*.

- Dans notre cas, la tension d'alimentation est d'environ 0.15V, ce qui est inférieur à la tension de seuil des transistors³ : les transistors fonctionnent en faible inversion. L'expression du courant de drain est donc de la forme suivante :

$$I_d = \mu C_{ox} \frac{W}{L} \left(\frac{kT}{q} \right)^2 \left(1 - e^{-\frac{q}{kT} V_{DS}} \right) e^{\frac{q}{kT} (V_{GS} - V_{th})} \quad (2.11)$$

- Comme on l'a vu dans la section 1.2.3.C, les tensions appliquées aux bornes du transistors varient au fur et à mesure que les capacités de transfert se chargent et se déchargent.

Pour ces deux raisons, le courant de drain peut varier beaucoup au sein d'un cycle et en fonction des choix des paramètres de dimensionnement. La résistance ON sera donc également difficile à évaluer. À titre d'illustration, voici l'évolution de la résistance ON du transistor NLVTGP en fonction du V_{DS} appliqué, pour différentes tensions V_{GS} . Les dimensions du transistor sont les suivantes : $W = 1\mu\text{m}$, $L = 60\text{nm}$.

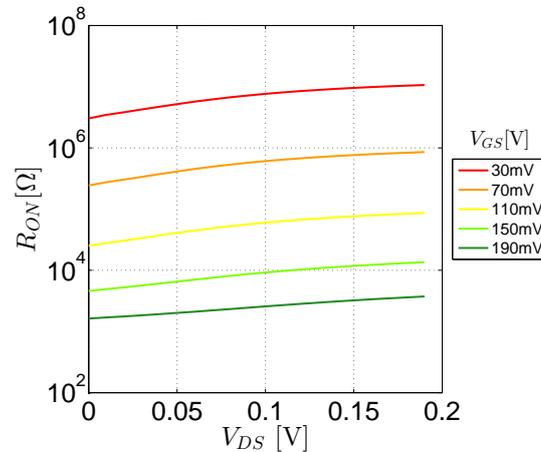


FIGURE 2.3 – Résistance ON du transistor NMOS pour différentes tensions V_{GS} .

3. Cela sera vérifié dans le chapitre suivant.

2.1.1.C Modélisation Matlab

Nous avons simulé sur Matlab le fonctionnement du doubleur de tension à un étage de manière à pouvoir tracer la courbe de l'impédance Z_{OUT} en fonction de différents paramètres de dimensionnement. Pour ce faire, nous avons simulé le comportement en régime d'un circuit constitué d'un unique doubleur de tension en considérant les deux phases de fonctionnement de ce dernier :

- Dans un premier temps, la charge de la capacité de transfert à travers une résistance représentant la résistance ON de NMOS.
- Ensuite, la décharge de cette capacité (à travers une résistance représentant le PMOS) lorsqu'une source de tension est appliquée à sa borne inférieure.

Afin de simuler ce circuit en régime, nous avons progressivement augmenté le niveau de tension initial de la capacité de transfert tant qu'une différence de tension aux bornes de la capacité était présente entre le début de la charge et la fin de la décharge. En ce qui concerne la résistance des transistors, nous avons utilisé une lookup table fournissant la résistance R_{ON} du transistor pour un choix de V_{GS} et V_{DS} donné. Les phénomènes liés aux capacités parasites et aux courants de fuite n'ont pas été simulés.

La courbe de l'impédance Z_{OUT} en fonction de la fréquence de fonctionnement est représentée à la figure 2.4. On observe bien les deux asymptotes dont il a été question précédemment. Pour des fréquences inférieures à 1MHz, l'impédance Z_{OUT} est dominée par Z_{SSL} . Dans cette zone, l'impédance série est inversement proportionnelle à la fréquence. Au fur et à mesure que la fréquence diminue, l'impédance Z_{SSL} augmente comme l'indique l'équation (2.9). Dans la zone de Z_{FSL} , on constate que la valeur d'impédance atteint $63k\Omega$.

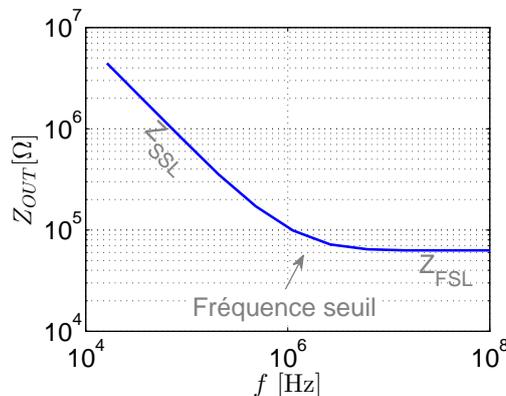


FIGURE 2.4 – Z_{OUT} vs fréquence.

Il est intéressant de considérer l'évolution de cette courbe lorsqu'on fait varier la taille des transistors ainsi que la taille des capacités de transfert (figure 2.5). Lorsque la taille des capacités diminue, les capacités se chargent et se déchargent plus rapidement et par conséquent la fréquence seuil augmente. Lorsque la taille des switches augmente, la résistance Z_{OUT} en FSL diminue et la fréquence seuil augmente également puisque la charge et la décharge des capacités est plus rapide à nouveau. Ce dernier résultat est intéressant : pour diminuer effectivement l'impédance Z_{OUT} il faut, si on diminue la résistance ON des switches, augmenter également la fréquence de fonctionnement. En effet, le circuit fonctionne généralement à une fréquence proche de la fréquence seuil de manière à limiter Z_{OUT} tout en minimisant la consommation du circuit qui est proportionnelle à la fréquence.

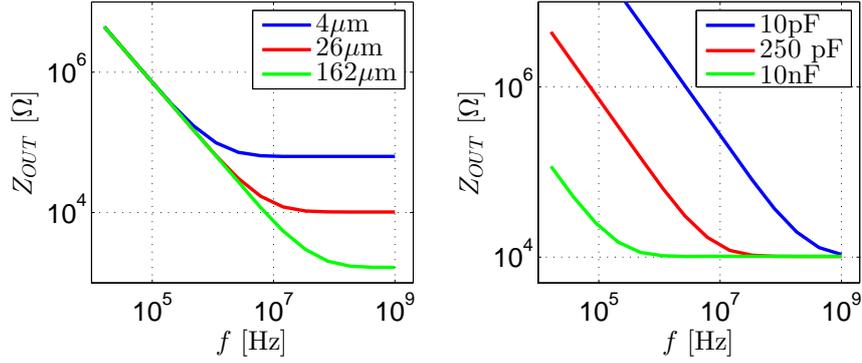


FIGURE 2.5 – Z_{OUT} vs fréquence.

2.1.2 Résistance parallèle

Cette résistance met en évidence la consommation associée aux capacités parasites présentes au sein du convertisseur et dans les blocs de générations d’horloges. Cette consommation est modélisée par une résistance placée en parallèle avec la source car elle est toujours présente, même lorsque le convertisseur fonctionne en circuit ouvert. Nous référençons toutes les capacités parasites au sein du circuit.

Pour la tension d’alimentation que nous utiliserons, les transistors fonctionneront en régime sous-seuil. Dans ce régime, la capacité parasite dominante des transistors MOS est la capacité grille-substrat C_{GB} (comme expliqué dans l’annexe A.5) et l’expression de la capacité C_{GB} est donnée par l’équation 2.12. L’évolution du terme n (facteur de pente sous seuil) avec L est telle que la capacité C_{GB} est presque indépendante de L pour certains types de transistors⁴.

$$C_{GB} = \frac{n-1}{n} W L C_{ox} \quad (2.12)$$

À chaque cycle, l’échelon de tension imposé à la base des capacités de transfert fait varier la tension de grille des transistor de $\pm V_{IN}$. Or, la tension appliquée au substrat est constante, aux oscillations ΔV près, une fois l’état de régime atteint par le convertisseur. Les capacités C_{GB} du convertisseur voient donc la tension appliquée à leur bornes varier de V_{IN} à chaque demi-période.

En ce qui concerne les transistors des blocs de générations d’horloges, le substrat est toujours connecté à la source, dont la tension est constante (GND ou V_{IN} suivant que le transistor soit un NMOS ou un PMOS). Par contre, la grille des transistors passe de 0 à V_{IN} puis de V_{IN} à 0 à chaque cycle.

La puissance totale consommée par ce mécanisme est une puissance de *switching* et a pour expression :

$$P_{sw} = f C_{par,tot} V_{IN}^2 \quad (2.13)$$

La capacité parasite totale sera la somme des capacités associées à chacun des blocs du circuit :

- **L’oscillateur** : au sein de l’oscillateur, comme on l’expliquera dans la partie 3.4.1, il y a deux types de capacités à charger : d’abord les capacités ajoutées volontairement de manière à régler précisément la fréquence d’horloge et ensuite les capacités parasites des transistors. En considérant N_{osc} (le nombre

4. En particulier, c’est le cas pour les transistors LVTGP que nous utilisons. Cette affirmation est le résultat de l’étude de l’évolution de C_{GB} avec L que l’on retrouve dans l’annexe A.5.

d'inverseurs composant le *ring oscillator*), C_{int} (les capacités additionnelles de régulation de fréquence) et W_n, W_p, L (les dimensions des transistors des inverseurs du RO, la capacité totale de l'oscillateur a pour expression.

$$C_{osc} = (N_{osc} - 1)C_{int} + N_{osc} \left(\frac{n-1}{n} (W_n + W_p) LC_{ox} \right) \quad (2.14)$$

- **Génération des horloges non recouvrantes (NOC)** (voir section 3.4.2) : ce bloc est réalisé à l'aide de 9 NMOS et 9 PMOS de dimensions W_n et W_p .

$$C_{noc} = 9 \left(\frac{n-1}{n} \right) (W_n + W_p) LC_{ox} \quad (2.15)$$

- **Driver** : les drivers sont constitués de N_{driv} étages d'inverseurs dont le rapport de dimensions des transistors d'étage en étage vaut A_n (et A_p) pour les NMOS (pour les PMOS).

$$C_{driv} = \frac{n-1}{n} \sum_{i=0}^{N_{driv}-1} \left(A_n^i W_n + A_p^i W_p \right) LC_{ox} \quad (2.16)$$

- **Convertisseur** : au sein d'un convertisseur composé de N étages, de transistors de dimensions W_n et W_p , de capacités de taille C_t , les capacités parasites ont deux origines : les transistors et les capacités de transfert. Les capacités parasites associées à ces dernières dépendent du type de capacité utilisée et leur valeur est proportionnelle à C_t : $C_{par,capa} = \alpha_{BP} C_t$. Des valeurs typiques de ce facteur pour notre technologie sont données à la section 3.1.3.A.

$$C_{conv} = N \frac{n-1}{n} \left(2\alpha_{BP} C_t + 2(W_n + W_p) LC_{ox} \right) \quad (2.17)$$

2.2 Méthodologie de design - Seeman

Avant de développer notre propre méthode de design, nous nous sommes intéressés aux méthodes de dimensionnement existant déjà dans la littérature. La méthode que nous examinons ici se base sur un modèle du convertisseur similaire à ce que nous avons présenté à la section précédente. Il ne modélise cependant pas la résistance parallèle R_p puisqu'il ne considère pas les pertes associées aux circuits périphériques comme l'oscillateur.

Cette méthode est celle présentée par Seeman [28] et a été développée pour les convertisseurs à capacités commutées. Elle se veut générale puisqu'elle est applicable à tous les convertisseurs à capacités commutées : les topologies Dickson, série-parallèle, doubleur de tension, etc.

La méthodologie fonctionne de la sorte :

- A) Définition de l'impédance série Z_{OUT} . Cette impédance est définie ici en se basant sur des vecteurs de transfert de charges.
- B) Choix du type de capacités et du type de transistors utilisés suivant une fonction de coût associée à chaque type de dispositif.
- C) Détermination de la répartition des différentes tailles des switches et des capacités de manière à minimiser l'impédance Z_{OUT} sous certaines contraintes.

- D) Optimisation numérique : on calcule analytiquement les pertes associées à chaque choix de taille totale maximale concernant les switches et les capacités ainsi que la fréquence d'horloge. La meilleure topologie est celle qui minimisera les pertes en question.

2.2.1 Calcul de Z_{OUT}

Comme expliqué précédemment, l'impédance Z_{OUT} dépendra de Z_{SSL} et Z_{FSL} (2.2). L'expression de ces deux asymptotes est donnée ci-dessous dans le cas particulier d'un convertisseur fonctionnant avec deux alternances uniquement (les deux signaux d'horloge sont CLK et $\overline{\text{CLK}}$, en opposition de phase) :

$$Z_{SSL} = \sum_{i \in \text{caps}} \frac{(a_{c,i})^2}{C_i f} \quad (2.18)$$

$$Z_{FSL} = 2 \sum_{i \in \text{switch}} R_i (a_{r,i})^2 \quad (2.19)$$

Dans ces expressions, a_c et a_r sont des vecteurs de charges. Les éléments $a_{c,i}^j$ et $a_{r,i}^j$ représentent respectivement le flux de charges normalisé (durant la phase j) qui a lieu à travers la capacité C_i et le flux de charge normalisé traversant le switch i de résistance ON R_i . L'expression de ces deux vecteurs est de la forme suivante :

$$\mathbf{a}_c^j = [q_{1,c}^j \ q_{2,c}^j \dots \ q_{n_c,c}^j] / q_{out} \quad (2.20)$$

$$\mathbf{a}_r^j = [q_{1,r}^j \ q_{2,r}^j \dots \ q_{n_r,r}^j] / q_{out} \quad (2.21)$$

Dans le cas des circuits fonctionnant de manière symétrique dans les deux phases, on définira le vecteur $\mathbf{a}_c = \mathbf{a}_c^1 = -\mathbf{a}_c^2$. De même, on définit \mathbf{a}_r en gardant ici uniquement les éléments non nuls $a_{i,r}^j$.

Dans le cas de notre topologie, on peut noter que tous les termes de \mathbf{a}_c sont égaux au signe près, à l'exception des éléments associés aux capacités et switches de l'étage de bias. Cet étage n'est pas connecté à R_{load} et ne verra aucun transfert de charges (en régime) en son sein ; il sert uniquement à générer la tension de polarisation appliquée au dernier étage actif de notre topologie.

Concernant les autres éléments du vecteur \mathbf{a}_c , pour une charge q_{out} transférée vers la sortie, toutes les autres capacités du circuit se chargent ou se déchargent de la même quantité de charges. Par exemple, dans le cas d'une topologie à 2 étages actifs (voir figure 2.2) C_1 et C_3 se déchargent alors que C_2 et C_4 se chargent⁵. On trouve dans ce cas \mathbf{a}_c :

$$\mathbf{a}_c = [q_1 \ q_2 \ q_3 \ q_4 \ q_5 \ q_6] = [-0.5 \ 0.5 \ 0.5 \ -0.5 \ 0 \ 0] \quad (2.22)$$

En ce qui concerne le calcul de Z_{FSL} , on peut déterminer de la même manière \mathbf{a}_r . Il faut toutefois veiller à ne pas oublier les résistances ON associées au dernier étage des drivers, on obtient donc un vecteur constitué de $2N + 2$ termes⁶. Tous les termes de ce vecteur valent également $\frac{1}{2}$ en valeur absolue à l'exception des deux termes associés aux drivers qui ont une valeur N fois plus grande.

5. Dans le cas particulier où CLK est bas et $\overline{\text{CLK}}$ est haut.

6. Pendant une phase, 2 transistors sont passants à chaque étage ($2N$) ainsi que 1 transistor pour le driver de CLK et un pour le driver de $\overline{\text{CLK}}$ (+2)

2.2.2 Métrique de coût associée aux composants

La deuxième étape de la méthodologie de Seeman consiste à définir des métriques de coût permettant de lier les performances du convertisseur à celles des composants utilisés pour implémenter les transistors et les capacités. Cette métrique doit permettre de choisir la meilleure technologie selon l'objectif visé.

Pour les capacités de transfert, ce critère prend en compte la valeur de l'énergie qui peut être stockée sur la capacité par unité de surface.

$$M_{cap} = \frac{Cv_{c,i}^2}{2A_{cap}} \quad (2.23)$$

Dans cette expression, $v_{c,i}$ est la tension de fonctionnement dans le circuit, $\frac{C}{A_{cap}}$ est la capacité surfacique dépendant de la technologie utilisée pour les capacités. Par exemple, pour des capacités MiM 65nm la capacité surfacique est de 5fF/ μm^2 [2].

Le critère associé aux transistors est le rapport entre la performance G-V² du switch et la surface occupée.

$$M_{sw} = \frac{Gv_{r,i}^2}{A_{sw}} \quad (2.24)$$

Le quotient $\frac{G}{A_{sw}}$ est la conductance surfacique du switch qui dépendra, à conditions de fonctionnement similaires, de la technologie.

2.2.3 Répartition des capacités et switches

Il s'agit maintenant de déterminer le dimensionnement de chaque composant, sous contrainte d'un budget en surface. Étant donné que les pertes attribuées aux capacités idéales et à la résistance des switches sont reflétées dans l'impédance de sortie Z_{OUT} , il faut minimiser cette dernière en choisissant idéalement les dimensions des capacités et des switches. Pour rappel, les pertes en *Slow Switching Limit* sont dominées par les pertes associées aux capacités. Alors que dans la zone FSL, c'est la résistance ON des switches qui est l'effet dominant.

Les contraintes en surface à respecter pour les capacités et les transistors sont simplement exprimées sous la forme suivante :

$$A_{tot,c} = \sum_{i \in caps} A_{i,c} \quad (2.25)$$

$$A_{tot,s} = \sum_{i \in sw} A_{i,r} \quad (2.26)$$

Pour calculer les tailles relatives des capacités et des transistors, on minimise donc les équations 2.18 (2.19) sous les contraintes exprimées en 2.25 (2.26 respectivement). Le résultat analytique des ces optimisations est donné ci-dessous.

Dimensionnement des capacités

Le dimensionnement des capacités de transfert se détermine par l'optimisation sous contrainte de la Z_{SSL} . Dans le cas général, la capacité de transfert C_i est donnée par l'équation 2.27. Pour le cas particulier de notre circuit, les vecteurs de transfert de charges en valeur absolue $|a_{c,i}|$ sont tous égaux à $\frac{1}{2}$ et les capacités verront toutes une même différence de potentiel. En injectant (2.23) dans (2.27) et tenant compte

de la remarque précédente, pour un circuit à N étages contenant $2N$ capacités, on peut simplifier (2.27) en (2.28).

$$C_i = \left| \frac{a_{c,i}}{v_{c,i}} \right| \sqrt{M_{cap,i}} \frac{2A_{tot}}{\sum_k \frac{|a_{c,k}v_{c,k}|}{\sqrt{M_{cap,k}}}} \quad (2.27)$$

$$C_i = \frac{1}{2} \frac{C}{A_{cap}} \frac{A_{tot}}{N} \quad (2.28)$$

L'équation (2.28) nous donne la répartition de capacités des étages actifs. Les capacités de l'étage de polarisation n'étant le siège d'aucun transfert de charge, leur taille peut donc être être théoriquement nulle. En réalité, une capacité, aussi petite soit elle, est nécessaire pour que l'étage de polarisation puisse fonctionner correctement. Cette équation nous montre que pour optimiser l'impédance Z_{SSL} , les capacités doivent être réparties uniformément. Cette conclusion sera utilisée dans la méthode de dimensionnement que nous développons. Remarquons que dans le cas où toutes les capacités de transfert sont égales et en utilisant (2.22), l'expression (2.18) de Z_{SSL} se simplifie et vaut, pour un circuit composé de $2N$ capacités, $Z_{SSL} = \frac{2N(0.5)^2}{fC_t} = \frac{N}{2fC_t}$, ce qui rejoint le résultat fourni par (2.9).

Dimensionnement des switches

Le dimensionnement des switches se fait en optimisant l'impédance Z_{FSL} sous la contrainte 2.26. Le résultat de cette optimisation est donné par l'équation 2.29.

$$G_i = \left| \frac{a_{r,i}}{v_{r,i}} \right| \frac{A_{tot} \sqrt{M_{sw,i}}}{\sum_k \frac{|a_{r,k}v_{r,k}|}{\sqrt{M_{sw,k}}}} \quad (2.29)$$

Nous savons que les termes du vecteur \mathbf{a}_r associés aux transistors des doubleurs de tension sont tous égaux en valeur absolue, et que les termes associés aux drivers sont N fois plus grands. De même, tous les transistors des doubleurs de tension voient des tensions identiques à leurs bornes, les transistors associés aux drivers voient des tensions légèrement plus élevées⁷. Dans le circuit, on retrouve deux types de transistors : les NMOS et les PMOS. Ils possèdent une valeur de M_{sw} différente puisque les PMOS ont une conductance à taille identique qui est $G_{n/p}$ (généralement proche de 2) fois plus faible que les NMOS. Ce rapport de conductance n'est cependant pas égal à 2 dans le cas de notre technologie GP65nm ; ce rapport varie également en fonction de la longueur de canal comme on le verra dans la section (3.5.1.C). Les transistors PMOS et NMOS doivent conduire un courant identique à chaque étage de notre topologie. Pour réaliser cela, l'équation (2.29) implique que les PMOS devront être $\sqrt{G_{n/p}}$ fois plus grands que les NMOS. Puisque la conductance des switches varie avec L et que nous ne sommes pas encore en mesure de fixer cette longueur, nous ne pouvons pas encore tirer de conclusion sur le rapport de taille exact entre les PMOS et les NMOS. On peut, par contre, déduire de (2.29) que les dimensions des transistors aux différents étages sont conservées et que les transistors du dernier étage des drivers doivent être approximativement N fois plus grands. Ces remarques sont valables pour les transistors des étages actifs ; les transistors de l'étage de polarisation pourront, eux, avoir des dimensions très faibles puisqu'en régime aucune charge ne devrait y circuler.

7. Si la tension V_{GS} est toujours proche de V_{IN} pour tous les types de transistors, en revanche, V_{DS} est plus élevé pour les transistors des drivers.

2.2.4 Optimisation numérique

L'étape précédente a permis de déterminer -en minimisant l'impédance Z_{OUT} - la taille relative des transistors et des capacités en fonction des contraintes en surface. La dernière étape de l'algorithme de Seeman consiste à fixer les surfaces totales allouées aux transistors et aux capacités, ainsi que la fréquence de fonctionnement du circuit. Pour cela, l'auteur va maximiser l'expression du rendement. Le rendement est estimé numériquement sur l'espace de design et le couple de paramètres optimal est choisi.

$$\eta = \frac{V_{OUT}I_{OUT}}{V_{OUT}I_{OUT} + P_{LOSS}} \quad (2.30)$$

Où P_{LOSS} reprend différentes contributions aux pertes :

$$P_{LOSS} = \sqrt{P_{FSL}^2 + P_{SSL}^2} + P_{SW} + P_{CAP} + P_{ESR} \quad (2.31)$$

La fréquence intervient dans l'expression des pertes de switching P_{SW} ainsi que dans les pertes de SSL. L'aire allouée aux switches intervient dans l'expression des pertes FSL. L'aire allouée aux capacités apparait, elle, dans l'expression des pertes SSL ainsi que dans les pertes P_{CAP} associées aux capacités parasites de *top* et *bottom plate*. Les pertes ESR reprennent les pertes série associées à la résistance parasite R_{ESR} associée aux capacités ainsi qu'à la résistance des pistes métalliques de connexion.

L'expression détaillée de ces pertes n'est pas donnée ici car il nous semble difficile de les évaluer suffisamment précisément. Les pertes de switching nécessitent la connaissance des capacités parasites associées à chacun des transistors ; celles ci varient avec les tensions appliquées aux bornes des transistors (qui dépendent eux-mêmes du dimensionnement du circuit) et peuvent difficilement être estimées de manière théorique. Ce commentaire est également valable pour l'évaluation des pertes associées à Z_{FSL} . Pour estimer les pertes ESR, il serait également nécessaire de connaître la résistance R_{ESR} qui nous semble difficilement évaluable sans avoir réalisé le layout du circuit.

2.3 Conclusion

Dans ce chapitre, nous avons d'abord présenté un modèle de notre circuit final constitué de la source, du convertisseur DC/DC et de la charge. Ce modèle nous a permis de présenter les principales sources de consommation de notre convertisseur. Nous avons ensuite examiné une méthode de dimensionnement présentée dans la littérature qui se base sur un modèle similaire. Celle-ci s'est révélée difficile à appliquer dans son entièreté mais elle nous a permis de tirer des conclusions importantes pour la méthode de design que nous développerons dans la partie suivante : les capacités de transfert doivent être égales pour les étages actifs et peuvent être sous-dimensionnées pour l'étage de polarisation ; les transistors PMOS devront être dimensionnés $\sqrt{G_{n,p}}$ fois plus grands que les NMOS⁸ et la taille des transistors est la même pour tous les étages mis à part ceux de l'étage de polarisation (ces derniers pourront être sous dimensionnés). Les transistors associés au dernier étage des drivers seront approximativement N fois plus grands que ceux des doubleurs de tension.

8. La valeur de $G_{n,p}$ n'est cependant pas encore connue puisqu'elle dépend de L .

Précisons que nous avons également essayé d'appliquer une autre méthode de dimensionnement basée sur un modèle similaire du convertisseur. Cette méthodologie s'appuie implicitement sur les conclusions que nous tirons de la méthodologie de Seeman présentée dans ce chapitre. Elle nécessite également la connaissance de paramètres dépendant de la technologie (résistance ON des switches, expression des capacités parasites, etc.). Si ces paramètres peuvent être extraits depuis un logiciel de simulation pour des points de fonctionnement très précis, il reste néanmoins difficile de prévoir l'évolution de ces paramètres au cours d'un cycle entier de fonctionnement. Les résultats que fournissent cette méthodologie de dimensionnement ne seront, au final, pas suffisamment précis. Cette méthodologie est présentée dans l'annexe [A.2.7](#).

La méthode de dimensionnement que nous développerons dans le chapitre suivant, sera donc basée principalement sur des résultats de simulations fournis par le logiciel Eldo de Mentor Graphics. Le modèle BSIM4 utilisé par ce simulateur nous permettra de prendre en compte de nombreux effets non abordés par les méthodes de dimensionnement théoriques.

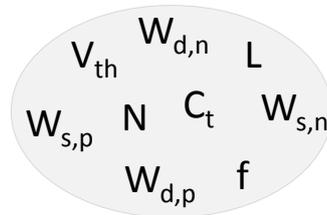
Chapitre 3

Méthodologie de dimensionnement

Dans ce chapitre, nous présentons la méthodologie de dimensionnement que nous avons développée au cours de ce travail. Cette méthodologie est basée sur l'utilisation d'un logiciel de simulation¹, ce qui permet de s'affranchir des approximations limitatives nécessaires aux méthodologies de design théoriques telle que celle présentée précédemment dans ce travail². Ce chapitre est articulé comme suit : dans un premier temps, nous présentons l'espace de design dans lequel nous dimensionnons notre convertisseur. Ensuite, nous exposons les différentes étapes de notre dimensionnement en présentant les résultats de simulations qui nous permettent de fixer au fur et à mesure tous les paramètres de l'espace de design. Finalement, nous donnons les performances de notre convertisseur au point de fonctionnement pour lequel il a été optimisé : $V_{TEG} = 0.156 V$, $I_{load} = 5 \mu A$ @ $V_{OUT} = 0.5 V$.

3.1 Espace de design

L'espace des paramètres de design à fixer pour notre circuit est le suivant : le choix du type de transistors (V_{th}), le nombre d'étages placés en cascade (N), la taille des capacités de transfert (C_t), la fréquence d'horloge (f), et enfin les dimensions des transistors (W, L).



3.1.1 V_{th} - Choix du type de transistors

Nous travaillons avec une technologie 65nm qui offre six types de transistors classés en deux catégories : LP (*Low Power*) et GP (*General Purpose*). Les transistors LP sont optimisés pour limiter les courants de fuite, leur tension de seuil est donc plus élevée que celle des transistors GP. Ces derniers ont, d'ailleurs, une épaisseur d'oxyde plus faible [29], ce qui leur permet de fournir un courant plus important pour une même tension V_{GS} . Au sein de ces deux catégories, on dispose de trois types de transistors que l'on peut distinguer par leur tension de seuil. La

1. Eldo, de Mentor Graphics

2. Néanmoins, la méthodologie de Seeman présentée au chapitre 2 nous donne une information quant au dimensionnement relatif des capacités de transfert et des transistors présents dans le circuit. En effet, l'optimisation du fonctionnement de notre circuit implique l'utilisation de capacités de transfert et de transistors dont les dimensions sont identiques d'étage en étage. Dans la suite de ce travail, nous utilisons implicitement ce résultat.

tension de seuil sera élevée pour les transistors HVT (*high*), faible pour les transistors LVT (*low*) et intermédiaire pour les SVT (*standard*).

Puisque notre circuit doit fonctionner avec des tensions d'alimentation particulièrement basses, il est nécessaire d'utiliser des transistors à faible V_{th} de manière à limiter au maximum leur résistance ON. Cependant, l'utilisation d'un transistor à plus faible V_{th} implique également des courants OFF³ plus importants. Nous commençons donc par déterminer les tensions de seuil de nos transistors pour des conditions données⁴ ainsi que le rapport des courants ON et OFF.

3.1.1.A Calcul de V_{th}

Commençons par extraire la tension de seuil des différents transistors. Pour y parvenir, nous utilisons une méthodologie présentée dans [30]. Dans cet article, on y définit la tension de seuil V_{th} comme étant la tension V_{GS} qu'il faut appliquer au transistor pour maximiser la dérivée seconde du courant de drain par rapport à V_{GS} . Les tensions de seuil de nos différents transistors sont reprises dans les tableaux ci-dessous 3.1 et 3.2.

| Transistor LP | V_{th} [mV] | Transistor GP | V_{th} [mV] |
|---------------|---------------|---------------|---------------|
| LVTLP | 530 | LVTGP | 356 |
| SVTLP | 651 | SVTGP | 413 |
| HVTLP | 790 | HVTGP | 482 |

TABLE 3.1 – Tension seuil des transistors en 65nm NMOS.

| Transistor LP | V_{th} [mV] | Transistor GP | V_{th} [mV] |
|---------------|---------------|---------------|---------------|
| LVTLP | 426 | LVTGP | 294 |
| SVTLP | 545 | SVTGP | 322 |
| HVTLP | 727 | HVTGP | 493 |

TABLE 3.2 – Tension seuil des transistors en 65nm PMOS.

3.1.1.B Calcul des courants de fuite

La tension de seuil des transistors a un impact important sur le courant que le transistor conduit lorsqu'il est passant mais également sur le courant de fuite lorsqu'il est bloquant. Il est intéressant d'observer le rapport I_{ON}/I_{OFF} des différents transistors avec les conditions de fonctionnement de notre topologie. Ce rapport dépend beaucoup des niveaux de tensions avec lesquels on travaille. Dans notre circuit, lorsque les transistors sont passants, $V_{GS} \simeq V_{IN}$. Lorsqu'ils sont bloquants, $V_{GS} \simeq 0$. Sur la figure 3.1, nous traçons les courants de drain pour les différents types de transistors en fonction de V_{GS} . À la tension d'alimentation $V_{TEG} = 0.156V$, tous

3. Par courant OFF, il faut comprendre les courants circulant au sein de transistors lorsque ces derniers sont considérés coupés. Traditionnellement, ces courants sont appelés courant de fuite. Cette dénomination n'a pas de sens dans ce travail, puisque tous les courants sont des courants de fuite étant donné que l'on travaille sous seuil.

4. Cette tension de seuil peut varier notamment avec la longueur de grille et la température.

les transistors semblent fonctionner dans la partie exponentielle de l'évolution du courant avec V_{GS} .

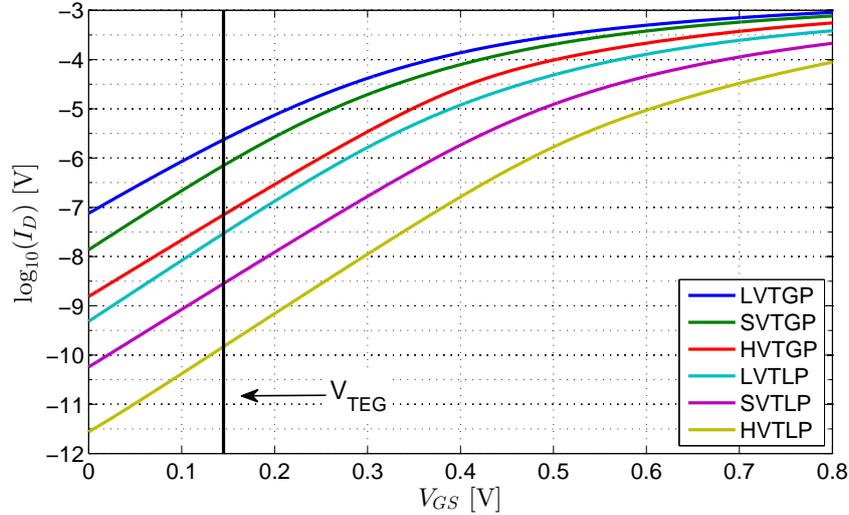


FIGURE 3.1 – Mesure du courant de drain pour chaque type de transistor.

| Transistor LP | I_{ON}/I_{OFF} | Transistor GP | I_{ON}/I_{OFF} |
|---------------|------------------|---------------|------------------|
| LVTLP | 69.8 | LVTGP | 34.7 |
| SVTLP | 56.4 | SVTGP | 58.2 |
| HVTLP | 61.7 | HVTGP | 51.7 |

TABLE 3.3 – Rapport I_{ON}/I_{OFF} dans les conditions de fonctionnement du *voltage doubler*. NMOS, $W = 2\mu\text{m}$; $L = 60\text{nm}$.

| Transistor LP | I_{ON}/I_{OFF} | Transistor GP | I_{ON}/I_{OFF} |
|---------------|------------------|---------------|------------------|
| LVTLP | 66.4 | LVTGP | 45.6 |
| SVTLP | 80.9 | SVTGP | 44.9 |
| HVTLP | 46.4 | HVTGP | 67.3 |

TABLE 3.4 – Rapport I_{ON}/I_{OFF} dans les conditions de fonctionnement du *voltage doubler*. PMOS, $W = 2\mu\text{m}$; $L = 60\text{nm}$.

On observe que le rapport I_{ON}/I_{OFF} des transistors LVTGP est inférieur à celui des autres types de transistor. Cette observation va de pair avec l'analyse de la figure 3.1. En effet, on y observe que le transistor LVTGP fonctionne à la limite du régime de faible inversion : son courant de drain a tendance à quitter la zone d'évolution exponentielle avec V_{GS} . Dès lors, il est logique que son rapport I_{ON}/I_{OFF} soit inférieur à celui des autres transistors, qui eux fonctionnent plus profondément en régime sous seuil : l'évolution de leur courant de drain est bien toujours exponentielle avec V_{GS} lorsque $V_{GS} \leq V_{TEG}$.

3.1.1.C Choix initial de V_{th}

Étant donné que la tension d'alimentation est inférieure aux tensions de seuil des transistors, nous avons tout intérêt à utiliser des transistors avec la plus faible tension

de seuil afin de minimiser la résistance ON des switches et ainsi minimiser l'impédance Z_{OUT} . Par contre, en ce qui concerne les courants de fuite I_{OFF} , les performances des transistors LVTGP sont moins bonnes. Ces résultats ne nous permettent pas de privilégier un type de transistor en particulier. Des simulations sur le circuit seront nécessaires pour décider du type de transistor utilisé. Toutefois, nous pouvons limiter notre étude aux transistors LVTGP et SVTGP car le rapport I_{ON}/I_{OFF} de tous les autres transistors est du même ordre de grandeur que celui du transistor SVTGP.

3.1.2 N - Nombre d'étages placés en cascade

Pour rappel, chaque étage du convertisseur permet d'augmenter la tension de V_{IN} (dans le cas d'un convertisseur idéal et avec $I_{OUT} = 0A$). Puisqu'il faut générer une tension de sortie supérieure à 0.5V à partir d'une tension d'entrée inférieure à 0.156V, au minimum trois étages seront nécessaires.

3.1.3 C_t - Taille des capacités de transfert

3.1.3.A Implémentation des capacités

Le choix de la taille des capacités de transfert doit être fait en gardant à l'esprit deux aspects : les capacités parasites associées à la capacité (ces capacités parasites sont comptabilisées dans le facteur α introduit à la section 2.1.2) et la surface de silicium nécessaire pour implémenter les capacités de transfert. Dans le chapitre précédent, nous avons vu que le premier aspect intervient directement dans l'expression du rendement et du niveau de tension de sortie. Le second aspect influence le prix total de la puce, d'autant plus que les capacités sont les éléments qui occuperont une partie dominante de la surface totale de la puce. En technologie CMOS 65nm, on retrouve quatre implémentations pour les capacités. Une description de leur implémentation se trouve dans [2]. Le tableau ci-dessous reprend le facteur α ainsi que la densité surfacique des capacités.

| | Densité [fF/ μm^2] | α_{BP} [%] |
|----------|--------------------------|-------------------|
| MoM 65nm | 1.5 | 5-10 |
| MiM 65nm | 5 | < 1 |
| MOS 65nm | 2-12 | 5-10 |

TABLE 3.5 – Caractéristiques des différentes technologies de capacité [2].

Au vu des caractéristiques présentées dans le tableau 3.5, les capacités de type MiM, que nous choisissons pour implémenter nos capacités, présentent les meilleures performances en terme de densité et en terme de capacités parasites. Ces performances impliqueront néanmoins un coût plus élevé de fabrication à cause de l'utilisation d'un masque supplémentaire [2].

3.1.4 f - Fréquence d'horloge

La fréquence en question est celle des deux signaux d'horloges CLK et \overline{CLK} qui permettent de réaliser le transfert de charges. Le circuit étant symétrique, le *duty cycle* du signal d'horloge est de 50%. L'étude théorique montre que la fréquence intervient directement dans Z_{OUT} et R_p et il n'est pas trivial, a priori, de connaître la fréquence optimale du convertisseur.

3.1.5 W, L - Dimensions des transistors

Pour l'ensemble des transistors présents dans le circuit, il s'agit de déterminer les dimensions L et W . Nous savons que le rapport W/L va modifier la résistance ON des switches et que, de manière générale, les capacités parasites associées au transistors dépendent des dimensions de ces derniers (plus de détails sont donnés dans l'annexe [A.5](#)). Pour des technologies avancées sujettes aux effets de canal court, la longueur de grille influence également la tension de seuil des transistors (voir annexe [A.4](#)).

3.2 Étapes de dimensionnement

Pour que les simulations que nous faisons aient du sens, il faut les faire sur le circuit complet qui comprendra le convertisseur, le TEG, ainsi que les blocs de générations des horloges. Or, il est difficile de contrôler précisément la fréquence de l'oscillateur de manière automatique : balayer plusieurs ordres de grandeurs dans le domaine des fréquences avec un *ring oscillator* est difficile : en plus de devoir modifier les dimensions de ce dernier, il faudrait également faire varier le type de transistors, le nombre d'étages, etc. Pour cette raison, la fréquence est le premier paramètre que nous fixons. Pour ce faire, nous remplaçons les blocs de génération des horloges par des signaux d'horloges externes. Une fois que la **fréquence** est fixée, il sera possible de dimensionner les blocs de générations d'horloge et ainsi utiliser le circuit entier pour faire le reste des simulations. Étant donné que la fréquence et la **taille des capacités** de transfert apparaissent sous forme d'un produit dans l'expression de plusieurs caractéristiques du convertisseur, il est légitime de considérer leur dimensionnement en même temps.

En second lieu, nous fixons les **dimensions des transistors** du convertisseur. Pour ce faire, nous utilisons la méthode du gradient pour rechercher le couple de dimensions qui donne lieu à un rendement optimal. Lors de cette même étape, nous affinons également le dimensionnement des drivers.

Finalement, nous faisons un choix concernant le **type de transistors** et également le **nombre d'étages** utilisés pour notre convertisseur. Pour ce faire, nous appliquons plusieurs fois la méthode du gradient pour les différentes configurations possibles et nous comparons les résultats obtenus.

3.3 Fréquence d'horloge / capacité de transfert

3.3.1 Contrainte de simulation

Comme expliqué ci-dessus, les simulations permettant de déterminer ce premier couple de paramètres n'ont pas été réalisées sur le circuit constitué de tous les éléments de notre circuit final : l'oscillateur, le NOC et les drivers sont remplacés par deux sources de tension qui génèrent des signaux d'horloges.

3.3.1.A Alternative proposée

Nous proposons donc de remplacer, dans un premier temps, le circuit de la figure [3.2](#) par deux simples signaux pulsés qu'on retrouve à la figure [3.3](#). Cela revient à

ajouter une ⁵ source de tension à notre circuit. En effet, il n'est tout simplement pas possible de connecter l'entrée du circuit en parallèle avec l'un des deux générateurs.

En travaillant de la sorte, nous commettons donc une erreur sur le niveau de tension réel qui s'applique au convertisseur puisque cela revient à utiliser un TEG dont la résistance interne est plus faible.

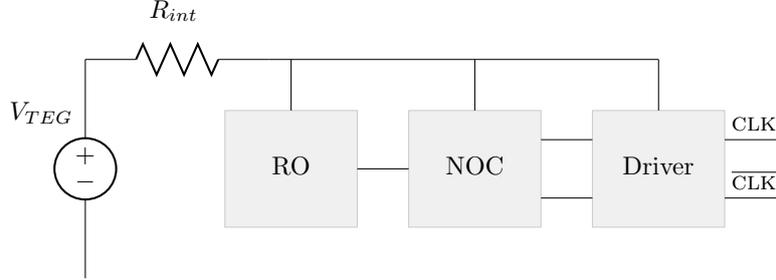


FIGURE 3.2 – Génération des signaux d'horloge pour le circuit final.

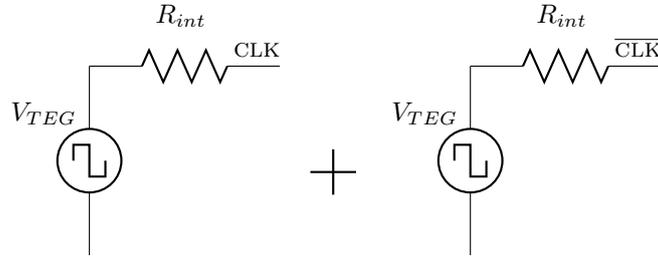


FIGURE 3.3 – Génération des signaux d'horloge simplifiée.

3.3.1.B Adaptation à la solution

En utilisant les signaux d'horloge idéaux, il faut veiller à prendre en compte la consommation de l'oscillateur, du bloc de génération d'horloges non recouvrantes et des étages internes du driver. Ces dernières ne sont évidemment pas prises en compte lorsqu'on calcule la puissance fournie par les signaux pulsés. Pour ce faire, nous négligeons la consommation des blocs d'oscillateur ainsi que celle du NOC devant la consommation des étages internes du driver en faisant l'hypothèse que cette dernière est dominante ⁶.

Pour un driver constitué de N_d étages dont le rapport de dimensions entre deux étages consécutifs est A et pour lequel la consommation du dernier étage vaut P_{N_d} , la consommation totale du driver est estimée par :

$$P_{tot} = \sum_{i=0}^{N_d-1} \frac{P_{N_d}}{A^i} \quad [W] \quad (3.1)$$

Sur base du dimensionnement des drivers du convertisseur (section 3.4.3), on calcule que la puissance totale absorbée par ce driver particulier vaut $1.33P_{N_d}$. Il suffit alors de multiplier la puissance moyenne consommée par les générateurs de

5. Bien que l'on ajoute deux générateurs de signaux d'horloge, ceux-ci fonctionnent en alternance : lorsque le premier est en train de charger le nœud CLK à V_{IN} , l'autre décharge le nœud \overline{CLK} à 0, sans soutirer de courant à la source.

6. Cette hypothèse sera vérifiée dans la section 3.4

tension pulsée par ce coefficient pour avoir une estimation de la consommation totale des blocs de génération d'horloge.

3.3.2 Range du couple fréquence / capacité

Pour rappel, le convertisseur que nous dimensionnons doit fournir un courant de $5\mu A$ à une tension de sortie régulée à $0.5V$. Ce courant moyen peut être assimilé à un transfert de charge à chaque période d'horloge. Le courant de sortie est, aux courants de fuite et aux pertes dans les capacités parasites près, identique au courant qui circule dans chaque étage du circuit. Pour rappel, son expression est la suivante :

$$I_{OUT} = \frac{\Delta Q}{\Delta T/2} \quad (3.2)$$

$$= 2f(\Delta V C_t) \quad (3.3)$$

Le terme ΔV est le swing de tension aux bornes des capacités de transfert : en un cycle entier, les capacités sont chargées et déchargées d'une tension ΔV . Les capacités de l'étage $i - 1$ se déchargent dans les capacités de l'étage i qui se déchargeront elle-même dans les capacités de l'étage $i + 1$ au cycle suivant. A priori, on souhaite que ΔV soit le plus faible possible, d'une part car cette oscillation se répercute sur la tension de sortie (*ripple*) et d'autre part car cela limite le niveau de tension DC que la capacité peut stocker⁷(cela limite donc le gain en tension d'étage en étage). Intuitivement, atteindre une variation ΔV proche de 0 n'a pas de sens non plus. Dans ce petit exercice, nous choisissons arbitrairement $\Delta = 15mV$, ce qui correspond à 10% de V_{IN} . En introduisant cette valeur dans l'équation 3.3, nous déduisons un produit fréquence-taille des capacités de transfert :

$$fC_t = 1.67e^{-4}[\Omega^{-1}] \quad (3.4)$$

Par exemple, en utilisant une fréquence d'horloge à 1MHz, des capacités de transfert de $167pF$ sont nécessaire pour garantir le courant de sortie avec oscillation ΔV de 15mV. Les futures simulations de notre circuit vont nous permettre de déterminer avec précision le produit fC_t qui optimise le fonctionnement du circuit.

3.3.2.A Lien avec Z_{OUT}

Il est possible de lier le produit fC_t à l'impédance Z_{OUT} que l'on a définie plus tôt dans l'analyse théorique. Pour un nombre d'étages donné (et donc, idéalement, pour une tension V_{nl} donnée) et une tension de sortie cible, Z_{OUT} nous permet de déterminer le courant que le convertisseur peut fournir. La modélisation simplifiée du voltage doubler à 1 étage présentée à la section 2.1.1.C nous a permis de tracer la courbe Z_{OUT} pour différents couples $f-C_t$ (figure 3.4). On observe qu'il est possible d'atteindre une même impédance de sortie en utilisant différents choix de couples $f-C_t$. Comme nous pouvions nous y attendre, ce produit fC_t est constant (voir la table 3.6).

7. De fortes oscillations de tension aux bornes des capacités de transfert correspondent à un fonctionnement en SSL.

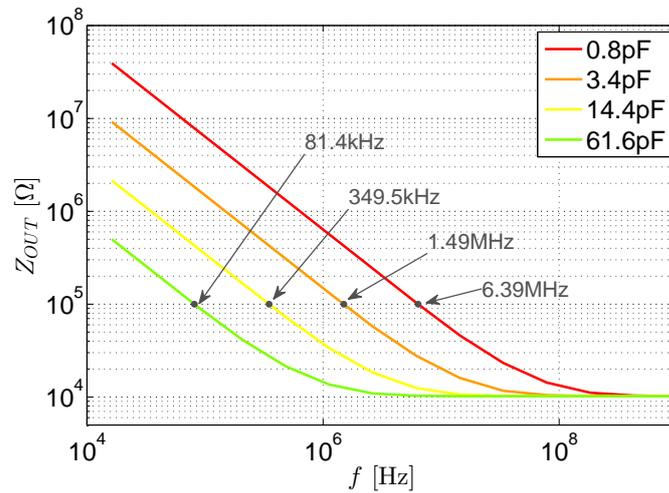


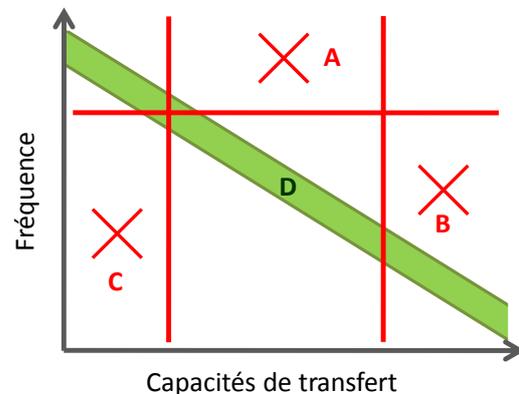
FIGURE 3.4 – Observation C.

| Produit $f - C_t$ [Ω^{-1}] | | | |
|-------------------------------------|----------|----------|----------|
| 0.511e-5 | 0.506e-5 | 0.503e-5 | 0.501e-5 |

TABLE 3.6 – Valeur du produit fC_t pour la modélisation du *voltage doubler* à un étage.

3.3.3 Limitation des valeurs de f et C_t

Pour un courant de sortie I_{OUT} (5 μ A) et un oscillation ΔV ($\simeq 15$ mV) donnés, le produit fC_t doit avoir une valeur constante. Ce n'est pas pour autant que n'importe quel choix du couple ($f; C_t$) est judicieux. Il faut d'ailleurs faire un compromis entre les avantages et inconvénients à augmenter/diminuer l'un ou l'autre paramètre. Il est possible d'identifier cinq zones dans le plan f/C_t :



- **A** : Fréquence des horloges trop élevée : la consommation de switching devient trop importante. De plus, le temps de conduction des transistors diminue et dégrade le fonctionnement du circuit puisque le temps de montée et de descente des signaux d'horloge devient non négligeable devant la période du signal.
- **B** : La taille des capacités parasites associées aux capacités de transfert implique une consommation de switching trop importante.
- **C** : Les capacités de transfert sont trop petites par rapport aux capacités parasites associées aux transistors. Le transfert de charge ne se fait plus correctement.
- **D** : Zone décrite précédemment pour laquelle le produit fC_t est constant.

Le couple fréquence/capacité de transfert a également un impact sur la forme des signaux d'horloge à cause de la résistance interne des générateurs de pulse. En effet, cette dernière limite le courant qui permet de charger la capacité de *bottom plate* associée à la capacité de transfert. Dès lors, si la constante de temps associée à ce

mécanisme de charge et décharge de capacité devient du même ordre que la période des signaux d'horloge, ces derniers sont dégradés.

3.3.4 Première simulation

Nous avons tracé la courbe du rendement du circuit pour un maillage construit dans le plan (f, C_t) . Les autres paramètres du circuit sont les suivants : $N = 3$, $W_p = W_n = 100\mu m$, $L = 0.06$ et le type de transistor est le LVTGP (fig 3.5).

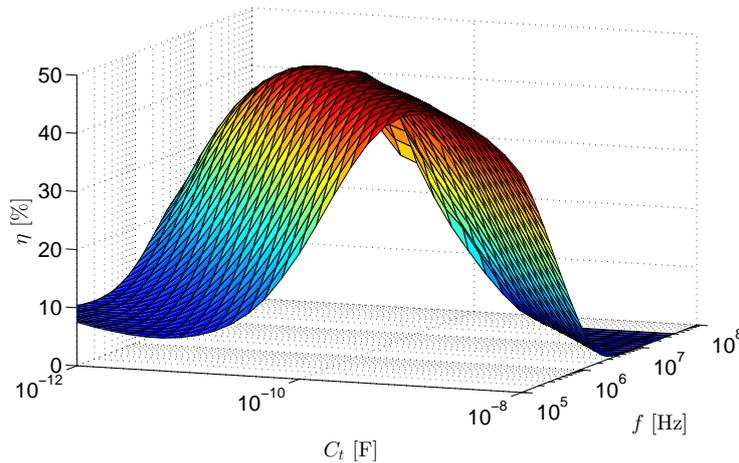


FIGURE 3.5 – Espace de design fréquence/capacités.

On constate que l'évolution du rendement est conforme aux tendances décrites précédemment. En effet, il existe une zone (pour laquelle le produit fréquence/capacité est relativement constant) qui optimise le rendement du circuit et la tension de sortie⁸. On constate également que la zone qui permet d'atteindre un rendement proche du rendement maximal est relativement large. Sur la figure 3.5, il est difficile de faire un choix concernant la fréquence et la taille des capacités. Il sera plus simple d'observer une évolution de cette courbe avec l'utilisation de différents paramètres en utilisant une représentation sous forme d'isocourbes (fig. 3.6). Dans la suite de ce travail, nous n'afficherons que l'isocourbe correspondant à 95% de la valeur maximale observable dans l'espace $(f; C_t)$.

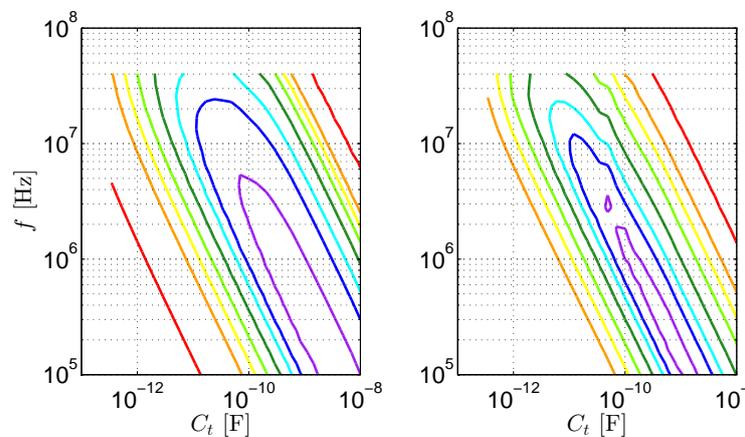


FIGURE 3.6 – Isocourbes V_{OUT} et rendement.

8. En effet, le graphique de V_{OUT} dans les mêmes conditions est très similaire.

3.3.5 Set de variables de base

Nous allons étudier l'évolution du meilleur choix du couple f - C_t en fonction des différents paramètres présentés ci-dessous. Étant donné que les temps de simulation sont élevés, nous ne pouvons tester toutes les combinaisons possibles. Nous ne ferons donc varier qu'un seul paramètre à la fois. Pour ce faire, nous utilisons un set de paramètres de base et les différentes simulations ci-dessous concernent chacune la variation d'un des paramètres, les autres paramètres étant les paramètres de base.

- W_n, W_p, L :
 - Dans un premier temps, W_n et W_p sont considérés égaux et ils ont pour valeur de base $W = 50\mu m$. Nous nous assurerons dans la section 3.5.1.A que les conclusions concernant le choix de C_t et f sont toujours correctes avec $W_n/W_p \neq 1$.
 - L est fixé à la longueur minimale possible pour notre technologie, soit $0.06\mu m$. Ce choix de L nous permet a priori de limiter les capacités parasites présentes dans le circuit. Dans la suite du travail, nous remettrons également en question ce choix.
- N : Par défaut, nous fixons le nombre d'étages à 3. Cette valeur correspond au nombre minimum d'étages nécessaires pour garantir théoriquement la tension de sortie. En utilisant le moins d'étages possible, nous diminuons le temps d'exécution des simulations.
- V_{th} : De base, nous utilisons des transistors LVTGP.

3.3.6 Taille des transistors

Sur la figure 3.7, on retrouve les isocourbes du rendement et de la tension de sortie pour des tailles de transistors de 25, 50 et 100 μm . Il est possible d'extraire différentes tendances et de retrouver les zones décrites dans la section 3.3.3.

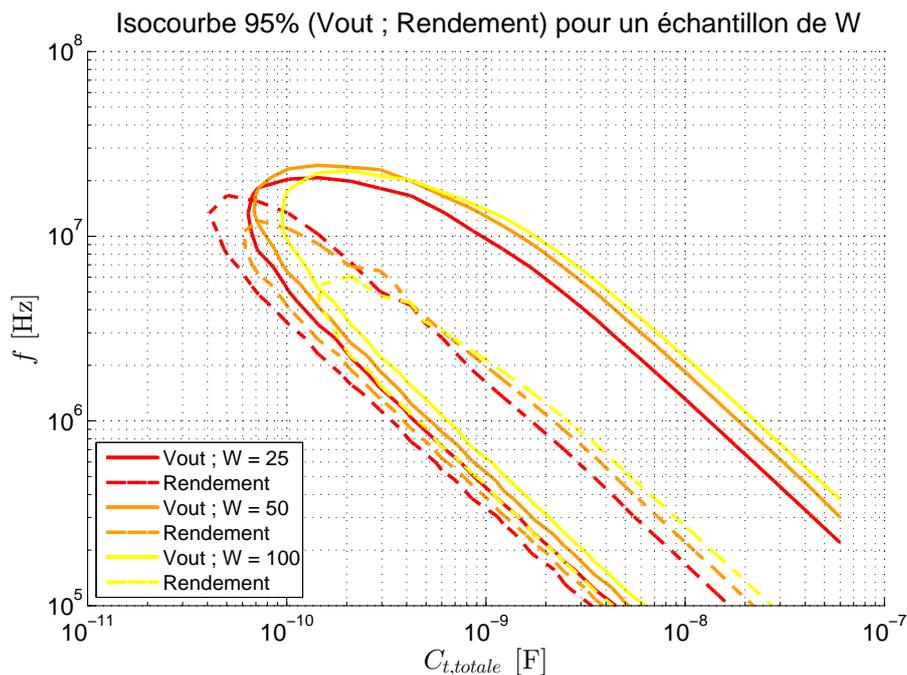


FIGURE 3.7 – Isocourbe pour différents choix de W .

Aussi bien pour la tension de sortie que pour le rendement, nous observons deux tendances principales. Pour des faibles capacités de transfert, l'augmentation de la taille des transistors limite la fréquence maximale de la zone contenue dans l'isocourbe. Cela s'explique par l'augmentation des capacités parasites associées à ces transistors qui réduisent le rendement en augmentant la consommation de switching. Pour des capacités plus élevées, nous observons la tendance contraire : les isocourbes se déplacent vers des fréquences plus élevées à mesure que la taille des switches augmente. Les capacités parasites associées aux transistors sont ici négligeables par rapport aux capacités parasites associées aux C_t et donc une taille W plus grande n'augmente pas significativement la valeur totale des capacités parasites. Par contre, en augmentant W , on diminue l'impédance ON des switches, ainsi que Z_{OUT} (voir section 2.1.1.C) à condition d'augmenter la fréquence de manière à se situer en Z_{FSL} .

3.3.7 Nombre d'étages

Nous avons reproduit l'architecture pour 3, 4 et 5 étages. Nous obtenons les courbes suivantes (3.8).

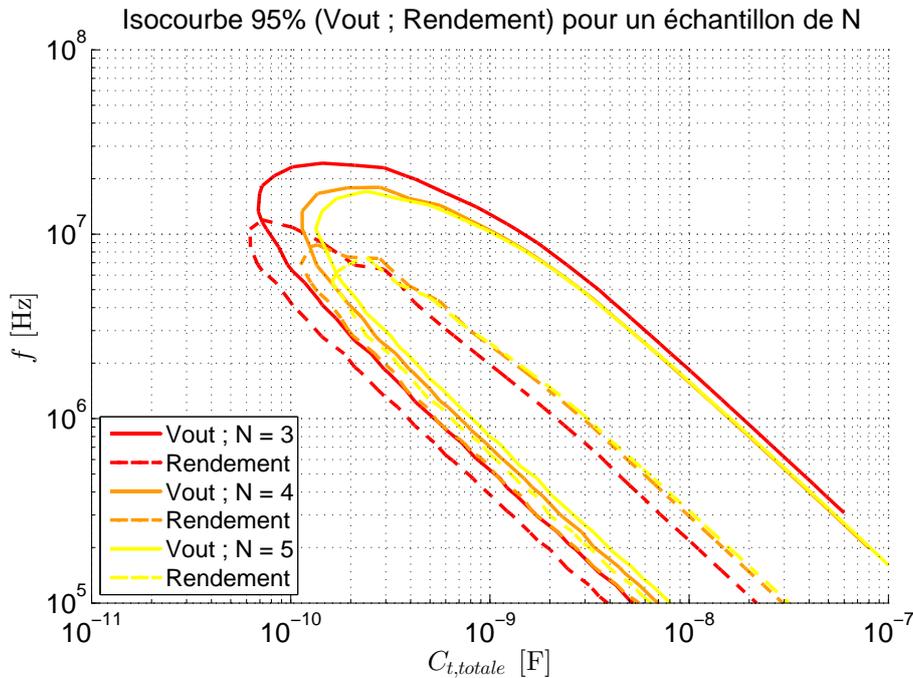


FIGURE 3.8 – Isocourbe pour différents choix de N .

Tout d'abord, précisons que la capacité donnée en abscisse correspond, à la valeur totale des capacités de transfert utilisées. Pour connaître les dimensions de chacune des capacités utilisées dans le circuit, il suffit de diviser la valeur en abscisse par $2N$. Nous constatons que nous avons une zone commune aux différentes isocourbes 95% pour la tension et le rendement. C'est dans cette zone que nous ferons le choix d'un couple $f - C_t$ pour notre convertisseur.

3.3.8 Type de transistor

Nous avons réalisé quatre simulations correspondant chacune à l'utilisation d'une combinaison différente de transistor pour l'implémentation des NMOS et des PMOS présents dans le circuit (fig. 3.9). Les quatre cas étudiés sont les suivants :

| Sigle | NMOS | PMOS |
|-------|-------|-------|
| l_l | LVTGP | LVTGP |
| l_s | LVTGP | SVTGP |
| s_l | SVTGP | LVTGP |
| s_s | SVTGP | SVTGP |

TABLE 3.7 – Combinaison de type de transistors étudiées.

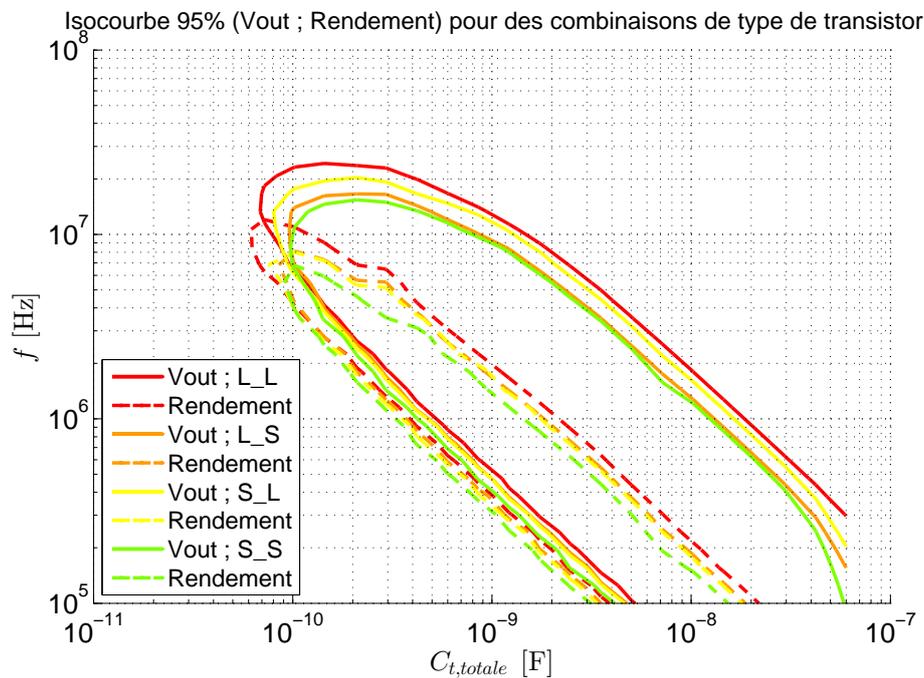


FIGURE 3.9 – Isocourbe pour différentes combinaisons de type de transistors.

Dans la partie 3.1.1.A, nous avons observé que la tension de seuil des transistors SVTGP est supérieure à celle des LVTGP. Leur résistance ON est donc plus élevée et par conséquent, l'impédance Z_{OUT} pour le circuit constitué de ces derniers est plus grande. Dès lors, la section 2.1.1.C nous informe que, pour une taille de C_t donnée, la fréquence nécessaire pour atteindre la fréquence de transition entre la Z_{SSL} et la Z_{FSL} est plus basse. C'est bien cela que nous observons sur le graphique présenté : en se fixant une taille de C_t , on peut constater que l'entrée dans l'isocourbe du circuit constitué de transistors SVTGP se fait pour des fréquences plus faibles comparativement au circuit implémenté avec des LVTGP.

3.3.9 Choix final fréquence - capacité

En analysant les résultats des simulations 3.7, 3.8 et 3.9, nous pouvons trouver un ensemble de couples fréquence/capacité de transfert communs à toutes les isocourbes présentées. Étant donné que nous sommes contraints à une taille de capacité maximale de 500pF, nous déterminons une fréquence de fonctionnement pour chaque choix de nombre d'étages utilisés (voir table 3.8).

| N | C_t | f |
|-----|--------|--------|
| 3 | 83pF | 2MHz |
| 4 | 62.5pF | 2.5MHz |
| 5 | 50pF | 2.5MHz |

TABLE 3.8 – Choix fréquence/taille capacité de transfert en fonction de N .

Afin de se convaincre du choix des fréquences présenté ci-dessus, nous avons tracé l'évolution du rendement et de la tension de sortie en fonction de la fréquence et ce pour toutes les analyses présentées dans cette section. Il s'avère que les choix de fréquence qui sont représentés par un trait noir (correspondant aux fréquences de la table 3.8) sont toujours proche de la fréquence où se situe l'optimum de rendement et de tension de sortie (fig. 3.10). On constate que le rendement peut varier assez fortement en fonction des paramètres choisis (W , V_{th} , N), néanmoins, à ce stade du dimensionnement, ces valeurs ne sont pas très pertinentes puisqu'elles risquent de varier lorsque nous ferons les simulations sur le circuit complet. Nous concluons que ces graphiques nous permettent de fixer la fréquence de notre circuit.

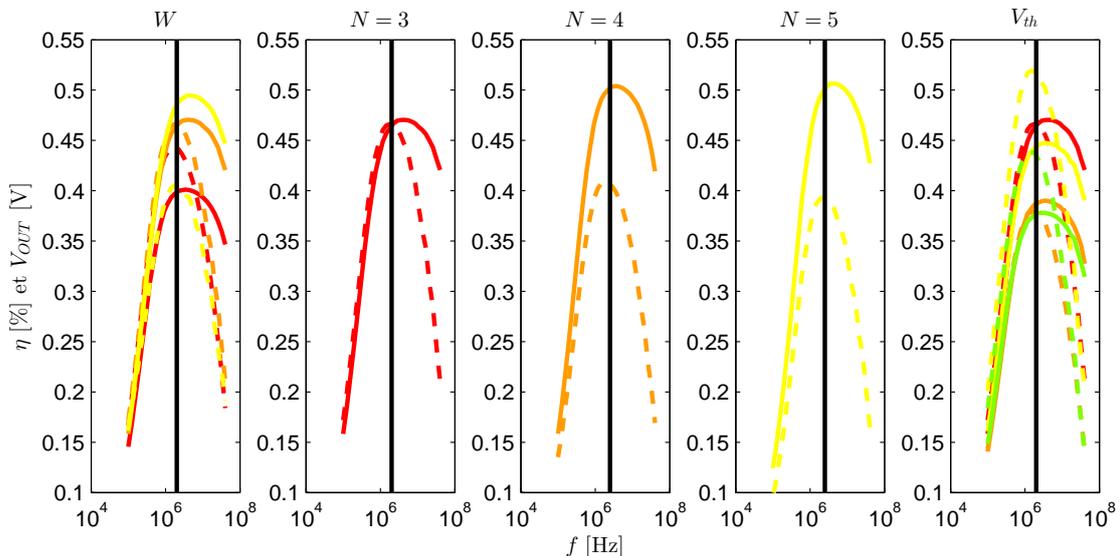


FIGURE 3.10 – Rendement (pointillés) et tension de sortie (plein) en fonction de la fréquence.

3.4 Dimensionnement des blocs d’horloge

Étant donné que la fréquence et la taille des capacités sont fixées, nous pouvons réaliser le dimensionnement des blocs associés aux signaux d’horloge CLK et $\overline{\text{CLK}}$.

3.4.1 Oscillateur

Le signal d’horloge de notre circuit est généré par un *ring oscillator* composé de la mise en boucle d’un nombre impair d’inverseurs CMOS. La fréquence du signal généré par un tel circuit est égale à :

$$f_{osc} = \frac{1}{N(t_{HL} + t_{LH})} \quad (3.5)$$

Dans cette expression, N correspond au nombre d’inverseurs mis en boucle, t_{HL} et t_{LH} sont les temps de switching de l’état HIGH vers LOW et LOW vers HIGH respectivement. La somme de ces deux temps correspond à une période d’horloge durant laquelle les inverseurs vont changer deux fois d’état. Pour une technologie donnée, ces temps de montée et descente vont dépendre de la tension d’alimentation et de l’*aspect ratio* W/L qui permettra de modifier la conductance des transistors et donc de charger plus ou moins vite le nœud capacitif vu en sortie de l’inverseur⁹.

Le dimensionnement de notre *ring oscillator* a pour objectif d’atteindre les différentes fréquences déduites à la section précédente (voir table 3.8) qui sont les fréquences optimales de fonctionnement. Le nombre d’inverseurs composant notre oscillateur est fixé arbitrairement à 5. Pour déterminer la taille des inverseurs, nous avons généré des *lookup tables* pour chaque type de transistor dans lesquelles varient l’*aspect ratio* ainsi que la taille d’éventuelles capacités ajoutées entre chaque inverseur pour diminuer la fréquence d’oscillation. Une *lookup table* générée pour des transistors de type HVTGP est présentée à la figure 3.11 (toutes les courbes ne sont pas représentées). Dans cette *lookup table*, on peut logiquement observer que, lorsque les capacités additionnelles placées entre les inverseurs tendent vers 0fF, la fréquence de l’oscillation tend vers la fréquence naturelle du *ring oscillator associée aux capacités parasites des transistors qui le composent*.

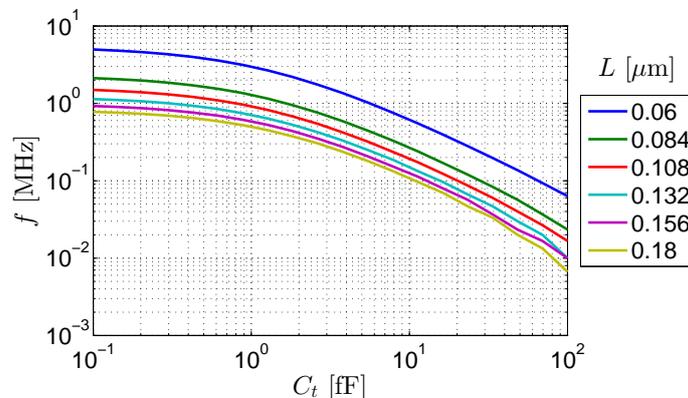


FIGURE 3.11 – Fréquences obtenues en HVTGP pour différentes valeurs de capacités et différents aspects ratio¹⁰.

9. Le courant débité dans le transistor dépend également de V_{th} qui est, elle-même, fonction de L . Nous avons cependant négligé cet effet pour le dimensionnement du RO et fixé L à 60nm.

L'usage de transistors de type LP pour le *ring oscillator* peut rapidement être écarté. Après simulation, nous avons en effet constaté que ce type de transistor utilisé à la tension d'alimentation effective de 0.14V est trop lent pour la réalisation de notre *ring oscillator*, il est impossible d'atteindre la fréquence minimale de 2MHz.

Les transistors de type GP sont plus adaptés pour obtenir des fréquences de plusieurs MHz. Les transistors de type LVTGP et SVTGP sont même trop rapides de base, il est nécessaire d'ajouter des capacités entre les différents inverseurs pour diminuer la fréquence d'horloge. Les transistors de type HVTGP sont, quant à eux, assez lents pour générer une horloge à la fréquence désirée sans ajouter de capacité supplémentaire ; il suffit de choisir correctement ses dimensions.

Nous préférons l'utilisation de transistors HVTGP pour l'implémentation du *ring oscillator* puisqu'il ne requiert pas l'utilisation de capacités supplémentaires. Cela permet d'économiser de la surface mais également de diminuer la consommation de l'oscillateur puisque la consommation dynamique associée à cette chaîne d'inverseurs est dominée par la consommation de switching :

$$P_{switching} = fCV^2 \quad (3.6)$$

Les fréquences que nous devons obtenir sont 2MHz et 2,5MHz. En utilisant la *lookup table* présentée la figure 3.11 nous déterminons, par exemple, que pour obtenir une fréquence de 2MHz, il est possible d'utiliser des transistors HVTGP sans utiliser de capacité supplémentaire¹¹ en fixant leur taille à $W = 0.12\mu\text{m}$ et $L = 0.084\mu\text{m}$. La consommation de cet oscillateur a été mesurée en simulation : 0.28nW. Si l'oscillateur avait été implémenté en LVTGP, il aurait nécessité l'utilisation de capacités supplémentaires et sa consommation mesurée serait de l'ordre de quelques dizaines de nW.

3.4.2 NOC

Le signal d'horloge généré par le ring oscillator va servir à générer 2 signaux d'horloge sans recouvrement qu'on appellera selon la terminologie anglaise non-overlapping clocks (NOC). Pour cela, nous utilisons le circuit suivant :

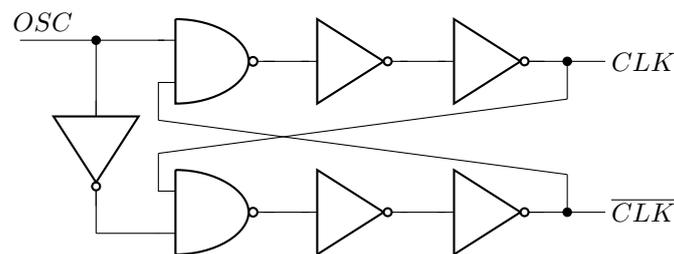


FIGURE 3.12 – Générateur de non-overlapping clocks

Les portes logiques ont été implémentées sur Eldo au niveau transistor en utilisant des aspects ratio similaires à ceux du ring oscillator.

10. Le W des transistors est ici fixé à sa valeur minimale de $0.12\mu\text{m}$ et nous faisons varier L entre ses valeurs maximale et minimale de $0.18\mu\text{m}$ et $0.06\mu\text{m}$ respectivement.

11. 0.1fF est considéré négligeable devant les capacités parasites associées aux transistors.

3.4.3 Driver

Les portes logiques en sortie du NOC ont été réalisées avec des transistors d'aspect ratio minimal ($W = 0.12\mu\text{m}$ et $L = 0.18\mu\text{m}$). Les signaux d'horloge ont donc une faible capacité de driving. Or, ces clocks doivent pouvoir injecter ou absorber un courant non négligeable dans le voltage doubler.

En effet, lors de chaque demi période, un transfert de charge doit s'effectuer d'un étage à l'autre : soit la capacité se charge, soit elle se décharge. À ce transfert de charge correspond un courant qui sera en moyenne, aux pertes près, égal au courant de sortie, soit environ $5\mu\text{A}$ en situation de régime. Ce courant circulera à travers la capacité de transfert de chaque étage simultanément lors de chaque demi période. Le signal d'horloge doit donc pouvoir fournir $N \times 5\mu\text{A}$.

Pour permettre aux signaux d'horloge de fournir un tel courant au voltage doubler, il est nécessaire d'utiliser des clocks buffers, que nous appellerons simplement drivers. Cela consiste simplement à connecter les 2 sorties du NOC à une série d'inverseurs MOS dont les aspect ratio sont progressivement multipliés par un facteur A appelé le fanout : figure 3.13.

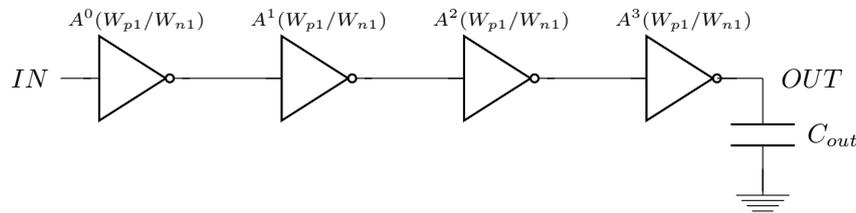


FIGURE 3.13 – Clock buffer

Pour notre circuit, le nombre d'étages optimal du voltage doubler est $N=4$. Le courant moyen débité par le dernier étage du driver doit donc être de l'ordre de $4 \times 5\mu\text{A} = 20\mu\text{A}$.

Pour déterminer les tailles nécessaires, nous avons généré une lookup table des courants débités par un NMOS et un PMOS en fonction de l'aspect ratio. Ces transistors ont été mis dans des conditions de fonctionnement semblables à celles du driver : une tension d'alimentation de l'ordre de 0.14V .

Cette approche de dimensionnement a le mérite de nous donner un ordre de grandeur correct pour le dimensionnement du dernier étage du driver. Elle reste néanmoins assez théorique puisqu'une partie du courant sera perdue en courant de leakage et dans la charge de capacités parasites. Pour que la tension de sortie atteigne bien un minimum de 0.5V , il a donc été nécessaire de surdimensionner légèrement les drivers par rapport aux prévisions faites. Les tailles ont été fixées au double de ce qui était prévu par la lookup table, ce qui nous donne finalement pour le dernier étage du driver les tailles suivantes :

- NMOS : $W/L = 346.5\mu\text{m}/0.18\mu\text{m}$
- PMOS : $W/L = 376.5\mu\text{m}/0.18\mu\text{m}$

La méthode académique pour le design d'une chaîne d'inverseurs est présentée dans [31]. Elle se base sur une méthode de minimisation du délai total de la chaîne d'inverseur en fixant le nombre d'étages d'inverseurs par :

$$N_{inv} = \ln \frac{C_{out}}{C_{in}} \quad (3.7)$$

Et la valeur du fanout A est ensuite fixée par

$$A = \left(\frac{C_{out}}{C_{in}} \right)^{\frac{1}{N_{inv}}} \quad (3.8)$$

Le délai de la chaîne d'inverseurs n'a, dans notre application, pas d'impact négatif sur le fonctionnement du circuit : en effet, il faut simplement que ce délai soit le même sur les buffers associés à CLK et $\overline{\text{CLK}}$ de telle manière que les 2 horloges restent bien non recouvrantes. Cette méthode nous donne un nombre d'étages inutilement élevés. En pratique, on utilise une valeur typique de fanout de 4 (FO4). Le choix du nombre d'étages du buffer s'est finalement fait de manière à avoir un fanout proche de cette valeur typique. En utilisant M=5 étages d'inverseurs, on détermine le fanout suivant :

$$A = \sqrt[M]{\frac{W_M}{W_1}} \quad (3.9)$$

Le buffer est donc composé de 5 étages d'inverseurs avec un fanout A=4.92. Ce facteur permet au convertisseur de fonctionner correctement mais la valeur exacte sera déterminée par optimisation sur le circuit final de notre convertisseur. Dans cette optimisation, nous considérerons les tailles des NMOS et des PMOS de manière indépendante et nous aurons donc deux facteurs A_n et A_p .

3.5 Dimensionnement des transistors

Maintenant que la fréquence et la taille des capacités sont fixées, nous nous intéressons au choix des tailles de transistors qui constituent le convertisseur. Il y a en tout trois paramètres à fixer : la longueur de grille des transistors¹², la largeur des NMOS et la largeur des PMOS. Pour ce faire, nous utilisons une méthode du gradient pour se déplacer dans le domaine des trois variables en question et converger vers une valeur optimale.

3.5.1 Algorithme du gradient appliqué aux transistors du convertisseur

3.5.1.A Rapport W_n/W_p différent de l'unité

Avant de s'aventurer dans la recherche du meilleur choix de la taille de nos transistors, il est important de vérifier que modifier le rapport W_n/W_p ne déplacera pas trop la fréquence de fonctionnement optimale du convertisseur. Pour ce faire, nous traçons l'évolution du rendement en fonction de la fréquence pour différents rapports W_n/W_p (voir fig. 3.14).

- La modification du rapport a un impact plus ou moins fort sur le rendement et la tension de sortie suivant qu'il soit inférieur ou supérieur à 1. Cela s'explique par la manière dont ces courbes sont générées : la taille des NMOS est gardée constante ($W_n = 50\mu\text{m}$) et la taille des PMOS est multipliée par les différents rapports étudiés. Puisque l'impédance totale est la mise en série des impédances des transistors NMOS et PMOS, un rapport $W_n/W_p > 1$ n'a qu'un faible effet sur l'impédance Z_{OUT} étant donné qu'on ne diminue que très peu l'impédance totale. Par conséquent, avec un rapport supérieur à 1,

12. Cette dernière est choisie commune à tous les transistors.

V_{OUT} augmente légèrement. Au contraire, lorsque $W_n/W_p < 1$, l'impédance Z_{OUT} augmente beaucoup (elle quadruple lorsque le rapport est égal à $1/3$). On constate alors que V_{OUT} diminue bien plus.

- La modification du rapport W_n/W_p a, par contre, un faible impact sur la position de la fréquence optimale. Lorsque ce rapport est plus petit que 1, la résistance Z_{OUT} augmente et, par conséquent, la fréquence minimale nécessaire pour atteindre la FSL diminue. Par contre, l'augmentation du rapport W_n/W_p implique une faible diminution de l'impédance de sortie, ce qui augmente très légèrement la fréquence optimale.

Nous concluons que le choix de la fréquence de 2.5MHz, dans le cas particulier où $N=4$, est acceptable pour tout choix de rapport W_n/W_p .

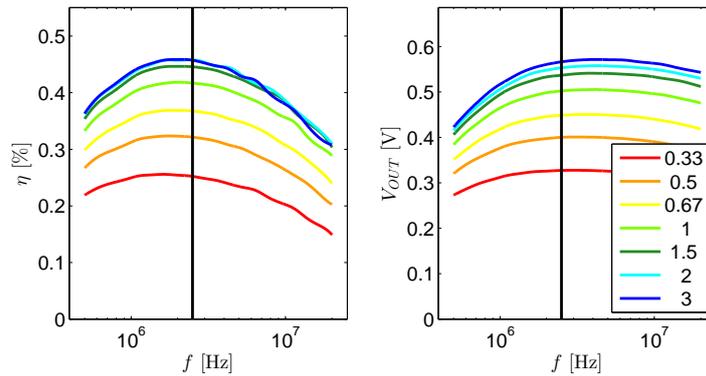


FIGURE 3.14 – η et V_{OUT} en fonction de W_n/W_p ($N = 4$, $W_n = 50$, $C_t = 62.5\text{pF}$).

3.5.1.B Concavité de l'espace

La méthode du gradient doit nous permettre de trouver les tailles de transistors menant à un optimum global du rendement de notre circuit. Dans un premier temps, il est nécessaire de montrer que l'espace de design constitué des trois dimensions W_n , W_p et L est concave afin de garantir qu'il n'existera pas d'optimum local vers lequel l'algorithme pourrait converger. Pour une longueur de grille L fixée, il est facile d'observer la concavité du plan constitué par les paramètres W_n et W_p : cfr fig. 3.15¹³. On observe directement l'allure très différente des deux graphiques. Pour un L minimal, l'optimum est atteint pour un choix de W_p plus grand que W_n alors que pour le L maximal, l'optimum est atteint avec un choix de W_n similaire à celui de W_p . Dans les deux cas, on observe bien une concavité.

13. En 3D, il faut s'assurer qu'il existe un unique point de l'espace tel que le rendement associé à ce point est supérieur au rendement des 26 ($=3^3 - 1$) points adjacents.

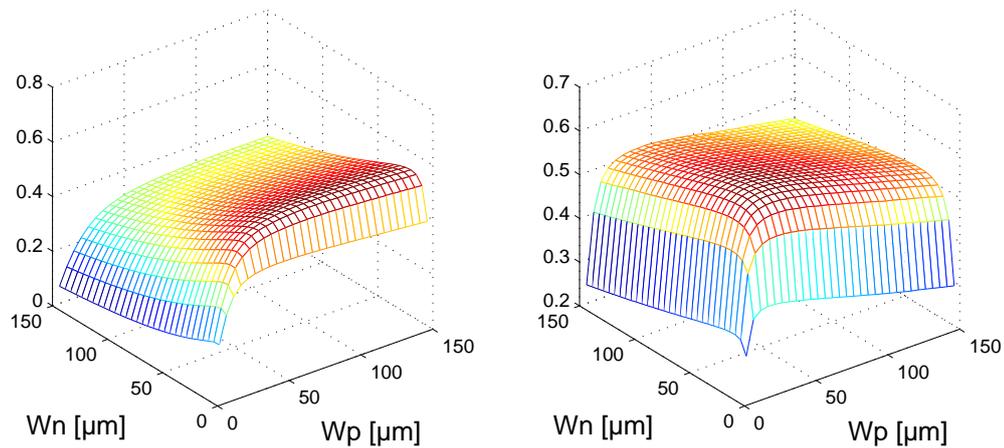


FIGURE 3.15 – Position des optimums en fonction du rapport W_n/W_p .

3.5.1.C Discussion sur L

La modification de la surface du rendement avec L est étudiée à la figure 3.15. De plus, on constate, sur la figure 3.16 que le choix optimal de L, (lorsqu'on sélectionne le couple W_n, W_p optimal pour chaque L) est celui du L maximal, c'est-à-dire $L = 180nm$. Cette observation est contre-intuitive puisque en augmentant L, on diminue au premier ordre la conductance des switches. Avec une résistance ON plus grande, le rendement du circuit devrait être moins bon.

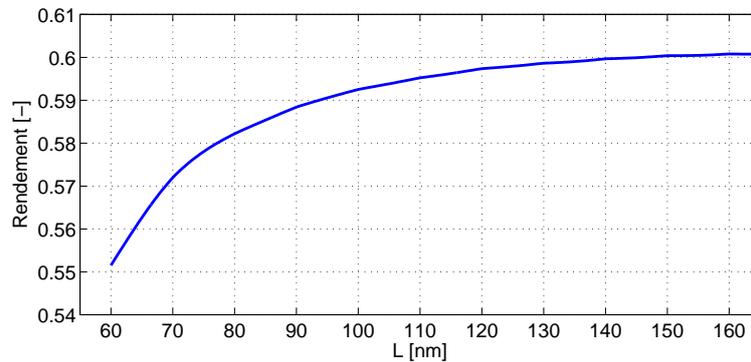


FIGURE 3.16 – Rendement maximum en fonction de L.

Pour comprendre pourquoi le rendement du convertisseur augmente avec L, nous étudions la manière dont le courant évolue avec L pour les transistors LVTGP (figure 3.17). Le courant au sein de ces transistors suit trois tendances différentes avec l'évolution de L, les deux premières tendances peuvent être expliquées par des effets de canal court. Dans un premier temps, le courant de drain diminue avec L car V_{TH} augmente (*Short Channel Effect* - SCE). Ensuite, le courant de drain augmente avec L puisque V_{TH} diminue (*Reverse Short Channel Effect* - RSCE). Finalement, lorsque L est supérieur à environ 180nm, le courant diminue de manière monotone. Les effets SCE et RSCE sont détaillés dans l'annexe A.4. Pour la longueur de grille maximale implémentable dans notre technologie ($L = 180nm$), la somme des courants de drain des NMOS et PMOS est maximisée et le rapport entre les deux courants du NMOS et du PMOS est le plus petit, il s'approche de l'unité.

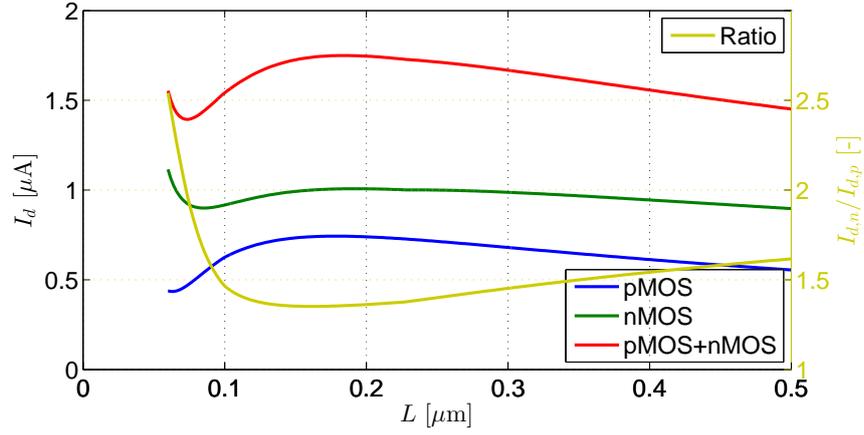


FIGURE 3.17 – I_d ($V_{GS} = 0.156V$, $V_{DS} = 50mV$, $W_n = W_p = 2\mu m$).

3.5.1.D Fonctionnement de la méthode

Nous devons trouver le point $(W_{n,opt}, W_{p,opt}, L_{opt})$ qui maximise le rendement de notre convertisseur :

$$\eta(W_{n,opt}, W_{p,opt}, L_{opt}) \geq \eta(W_{n,i}, W_{p,j}, L_k) \quad (3.10)$$

$$\forall W_{n,i} \in [W_{n,min} \ W_{n,max}]$$

$$\forall W_{p,i} \in [W_{p,min} \ W_{p,max}]$$

$$\forall L_k \in [L_{min} \ L_{max}]$$

Appliquer l'algorithme du gradient consiste à répéter un certain nombre de fois les étapes présentées ci-dessous tant que le rendement évolue suffisamment :

1. Calcul du gradient à l'itération i : $\nabla\eta(W_{n,i}, W_{p,i}, L_i)$:

$$\nabla\eta(W_{n,i}, W_{p,i}, L_i) = \left(\frac{\partial\eta}{\partial W_{n,i}}, \frac{\partial\eta}{\partial W_{p,i}}, \frac{\partial\eta}{\partial L_i} \right) \quad (3.11)$$

Où on exprime, par les différences finies :

$$\frac{\partial\eta}{\partial W_{n,i}} = \frac{\eta(W_{n,i} + d_{w_n}, W_{p,i}, L_i) - \eta(W_{n,i} - d_{w_n}, W_{p,i}, L_i)}{2d_{w_n}} \quad (3.12)$$

On fait de même avec $\frac{\partial\eta}{\partial W_{p,i}}$ et $\frac{\partial\eta}{\partial L_i}$ avec des variations d_{w_p} et d_l respectivement. Les valeurs attribuées aux variations d_{w_n} , d_{w_p} et d_l doivent être bien choisies. Un trop petit choix de variation peut impliquer une mauvaise estimation de la dérivée¹⁴ alors qu'un choix de variation trop grand mène à une mauvaise convergence.

14. Le calcul du rendement se fait en moyennant la puissance P_{in} et P_{out} sur une période finie fixée qui ne correspond pas forcément à un nombre entier de périodes d'horloges. Si l'erreur sur l'estimation du rendement est supérieure à la variation de rendement réelle entre 2 points considérés, le calcul de la dérivée peut être faussé et cause un changement de signe. Il faut donc prendre des points suffisamment écartés pour que l'impact de cette erreur soit atténué.

2. Adaptation du pas de déplacement $(h_{W_{n,i}}, h_{W_{p,i}}, h_{L_i})$. Chaque variable possède son propre pas de déplacement. En fonction du signe du gradient des itérations i et $i - 1$, chacun des pas est multiplié par un facteur supérieur (ou inférieur) à 1 dans le cas où le signe est identique (ou différent). L'intérêt d'utiliser un pas adaptatif est double : on atteint plus rapidement le point optimal tout en s'assurant que l'on ne va pas tourner autour mais bien converger vers lui tant que l'on itère.
3. Calcul du nouveau point $(W_{n,i+1}, W_{p,i+1}, L_{i+1})$. Il est la somme du point précédent avec le produit du signe du gradient par le nouveau pas calculé à l'étape précédente.

$$(W_{n,i+1}, W_{p,i+1}, L_{i+1}) = (3.13)$$

$$(W_{n,i}, W_{p,i}, L_i) + \text{sign}(\nabla\eta(W_{n,i}, W_{p,i}, L_i)) \begin{pmatrix} h_{W_{n,i}} & 0 & 0 \\ 0 & h_{W_{p,i}} & 0 \\ 0 & 0 & h_{L_i} \end{pmatrix}$$

3.5.1.E Convergence de la méthode

Sur le graphique qui suit (fig 3.18), on constate que la méthode fonctionne correctement et qu'elle converge toujours vers l'optimum global quel que soit le couple de valeurs initiales utilisées. Dans ce cas particulier, on constate que L atteint la valeur maximale $L = 180nm$. Le rapport des dimensions des transistors vaut environ $W_p/W_n = 1.18$. Cette valeur correspond approximativement à $\sqrt{\frac{I_{d,n}}{I_{d,p}}} = \sqrt{1.35} \simeq 1.16$ observée au L optimal de $0.18\mu m$ sur la figure 3.17. Cela rejoint la conclusion tirée dans la section 2.2.3 qui nous indiquait que les transistors PMOS doivent être dimensionnés $\sqrt{G_{n,p}}$ fois plus grands que les NMOS.

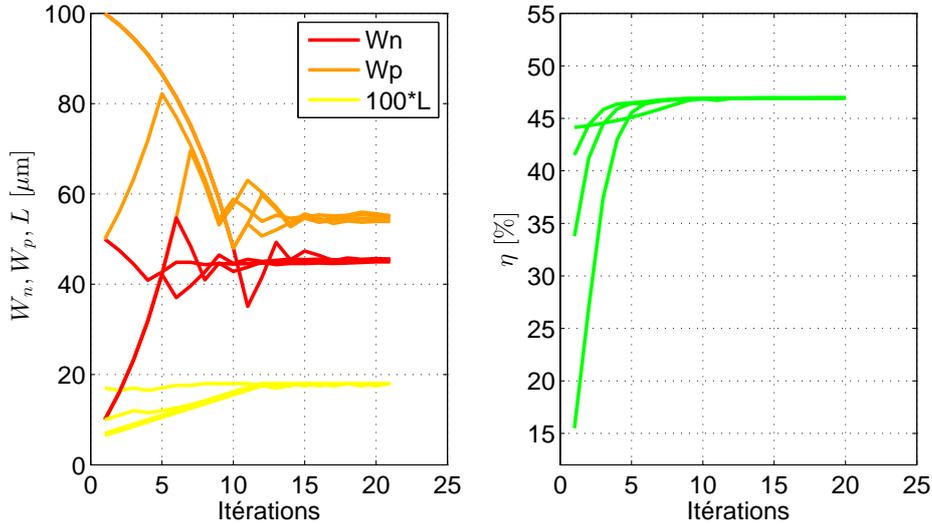


FIGURE 3.18 – Convergence de la méthode du gradient dans le cas où $N = 3$, type de transistors : LVTGP - LVTGP.

3.5.2 Algorithme du gradient appliqué aux transistors des drivers

Le dimensionnement des drivers doit être réalisé de manière très précise. En effet, un sous-dimensionnement des drivers a un effet négatif sur l'impédance de sortie du convertisseur. Au contraire, un sur-dimensionnement implique une consommation excessive puisque les capacités parasites internes du driver sont plus grandes. En toute généralité, il n'y a pas de raison que le dimensionnement des NMOS et celui des PMOS faisant partie des drivers soient identiques. Nous introduisons donc deux variables A_n et A_p qui sont les rapports de dimensions des transistors entre chaque étage des drivers pour les NMOS et les PMOS respectivement. Nous appliquons un algorithme du gradient identique à celui présenté plus tôt afin de déterminer le couple optimal.

Il est important de réaliser cette optimisation après celle des transistors du convertisseur et non avant. En effet, en sur-dimensionnant les drivers dans un premier temps, l'impédance de sortie du convertisseur a pour contribution principale celle des transistors de transfert internes au convertisseur. Le dimensionnement de ces derniers est alors un compromis entre l'utilisation de grands transistors pour limiter leur résistance ON et l'utilisation de transistors dont les capacités parasites ne sont pas trop grandes. Ensuite, l'optimisation des drivers permet de diminuer les pertes liées à leur sur-dimensionnement tout en garantissant que leur résistance ON est du même ordre de grandeur que celle des switches internes au convertisseur.

Convergence

La figure 3.19 nous montre que l'algorithme du gradient converge correctement quel que soit le choix du couple A_n, A_p de démarrage. Nous pouvons parfaitement nous y attendre étant donné que autant pour A_n que pour A_p , il y a un compromis entre un petit dimensionnement qui limite les pertes ainsi que les performances et un sur-dimensionnement qui maximise les performances mais diminue le rendement. Il est donc tout à fait logique d'obtenir une courbe concave dans le domaine A_n, A_p .

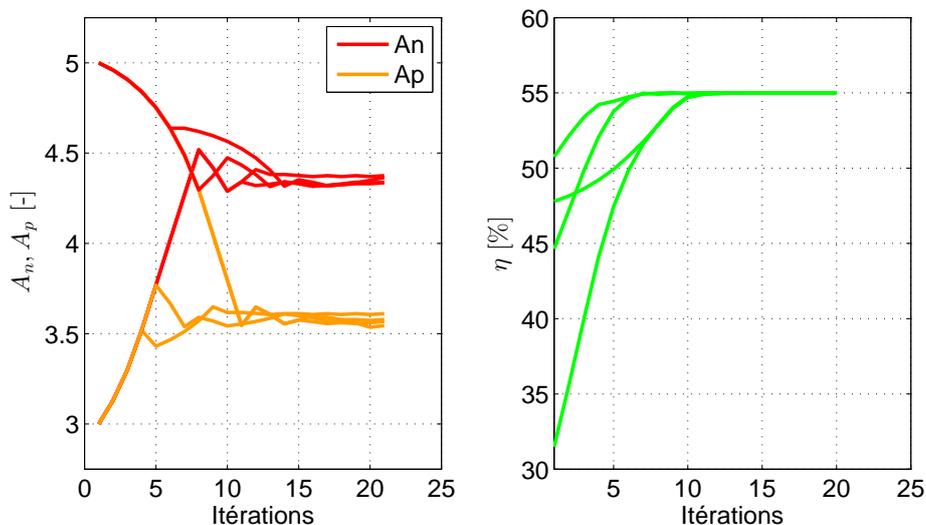


FIGURE 3.19 – Convergence de la méthode du gradient dans le cas où $N = 3$, type de transistors : LVTGP - LVTGP.

3.6 Choix du nombre d'étages et du type de transistor

La section précédente nous a permis de vérifier le bon fonctionnement de la méthode du gradient pour notre application. Nous sommes maintenant capables de déterminer, en un temps raisonnable, les dimensions optimales au sens du rendement de tous les transistors du circuit. Il nous reste à faire un choix quant au nombre d'étages utilisés ainsi que sur le type de transistor à utiliser au sein du convertisseur.

Pour bien faire ce choix, nous menons l'optimisation des dimensions pour chaque combinaison possible (pour 3 nombres d'étages différents et 4 combinaisons de transistors : 12 au total). L'objectif est de pouvoir comparer ces dernières combinaisons à leur point de fonctionnement optimal.

3.6.1 Résultats et comparaison

Sur la figure 3.20, le rendement et la tension de sortie dans chacune des combinaisons possibles sont donnés. Plus bas, les dimensions optimales pour la combinaison de transistors LL sont données dans le tableau 3.9.

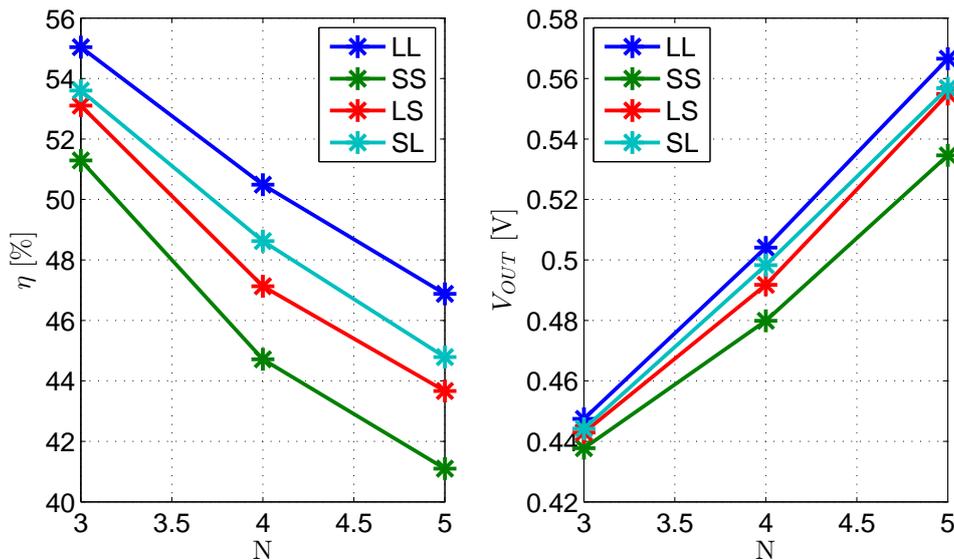


FIGURE 3.20 – η et V_{OUT} pour $N = 3, 4$ et 5 et toutes les combinaisons de type de transistors¹⁵.

| N | W_n [μm] | W_p [μm] | L [μm] |
|---|-------------------------|-------------------------|---------------------|
| 3 | 46.47 | 54.05 | 0.18 |
| 4 | 56.54 | 64.20 | 0.18 |
| 5 | 69.95 | 78.04 | 0.18 |

TABLE 3.9 – Dimensions du circuit optimal. Transistors LVTGP.

15. On notera par exemple SL pour une combinaison NMOS-SVT et PMOS-LVT

- Le choix du type de transistor est vite décidé. À caractéristiques égales, les performances sont toujours moins bonnes pour une combinaison de transistors différentes de (LVT ; LVT). Dans la section 4.1.2, nous verrons que le rendement évolue beaucoup avec le niveau de tension d'entrée et qu'il y a un lien entre la tension d'entrée qui permet d'optimiser le rendement et le type de transistor utilisé. Typiquement, pour notre application, si la tension de seuil des transistors est plus élevée, l'optimum de rendement est atteint pour une tension d'entrée également plus élevée.
- De manière générale, les dimensions optimales des transistors augmentent avec le nombre d'étages. À dimensions égales, l'utilisation d'un étage supplémentaire implique l'augmentation de l'impédance Z_{OUT} du convertisseur. L'algorithme converge vers un choix de taille de transistors plus grands permettant de diminuer la résistance ON des transistors de manière à compenser l'augmentation de Z_{OUT} .
- Le rendement diminue avec le nombre d'étages. Cela s'explique tout d'abord par le fait que toutes les pertes du circuit sont directement proportionnelles au nombre d'étages. De plus, nous avons vu que pour compenser l'augmentation de l'impédance de sortie, les tailles de transistors sont plus grandes, ce qui a pour effet d'augmenter la taille des capacités parasites, et par conséquent la consommation de switching. Finalement, pour une puissance de sortie fixée, augmenter le nombre d'étages ne permet pas au circuit de mieux fonctionner : la tension V_{GS} qui s'applique aux transistors est toujours égale à $\simeq V_{IN}$ quel que soit le nombre d'étages et l'oscillation ΔV est également fixée par le courant de sortie soutiré, indépendamment du nombre d'étages.

3.6.2 Optimisation pondérée de η et V_{OUT}

Au vu des performances données sur la figure 3.20, seul le montage à 5 étages permet de fournir la puissance de sortie nécessaire avec un rendement de 47%. Le circuit à 3 étages fournit une tension de sortie inférieure à 0.5V et le circuit à 4 étages fournit une tension tout juste égale à 0.5V, ce qui n'est pas acceptable. Comme nous l'avons vu plus tôt dans ce travail, optimiser le rendement du convertisseur peut mener à un dimensionnement différent d'une optimisation de la tension de sortie. En optimisant uniquement le rendement avec la méthode du gradient, on se prive d'une partie de la puissance de sortie que le circuit pourrait fournir s'il était optimisé différemment. Sur la figure 3.21, nous donnons les résultats de l'algorithme du gradient suivant que l'optimisation soit portée sur le rendement ou alors sur la tension de sortie.

Pour tous les étages, l'optimisation de la tension de sortie permet d'augmenter la puissance de sortie au prix d'une diminution du rendement. Le montage à 4 étages, qui était jusque là exclu à cause de la puissance de sortie insuffisante, devient acceptable. De plus, le rendement associé (46%) n'est que très légèrement inférieur au rendement du montage à 5 étages lorsque c'est justement le rendement qui est optimisé (47%).

Il est possible d'aller plus loin dans ce raisonnement et définir une nouvelle variable à optimiser. Cette dernière est une combinaison linéaire du niveau de tension de sortie et du rendement :

$$RV = (1 - X) \frac{V_{OUT}}{V_{OUT,base}} + X \frac{\eta}{\eta_{base}} \quad (3.14)$$

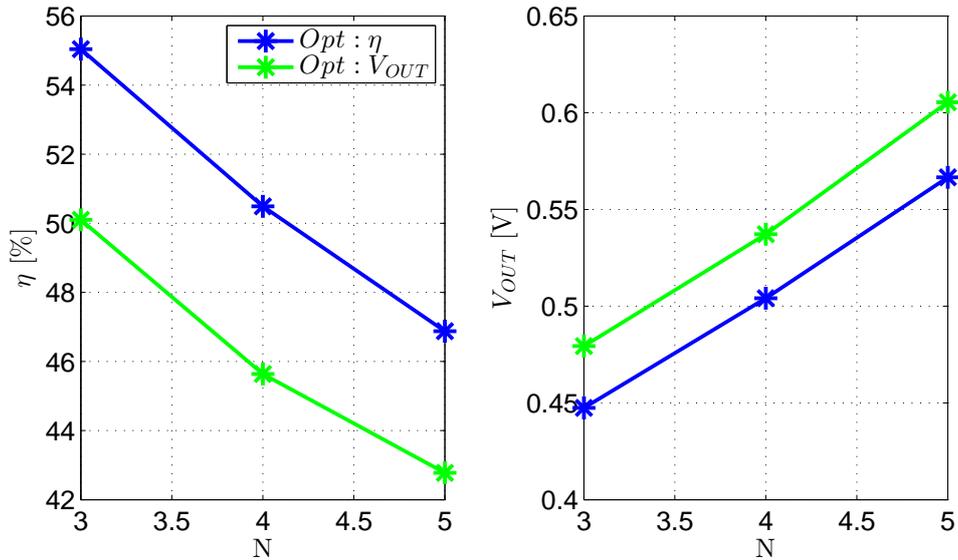


FIGURE 3.21 – $N = 4$; Comparaison des optimisations sur le rendement ou sur la tension de sortie.

Dans cette expression, $V_{OUT,base}$ (resp. η_{base}) est la base de tension de sortie (resp. la base de rendement) choisie pour normaliser les deux grandeurs. Les bases que nous choisissons sont les valeurs de tension de sortie et de rendement que nous souhaitons atteindre arbitrairement : une tension de sortie de 0.5V et un rendement de 50%. La variable X varie de 0 à 1. Lorsque $X = 0$, cela revient à faire une optimisation exclusivement sur la tension de sortie alors que si $X = 1$, cela revient à faire une optimisation sur le rendement uniquement. Entre ces deux valeurs extrêmes, η et V_{OUT} sont optimisés avec plus ou moins d'importance (fig. 3.22).

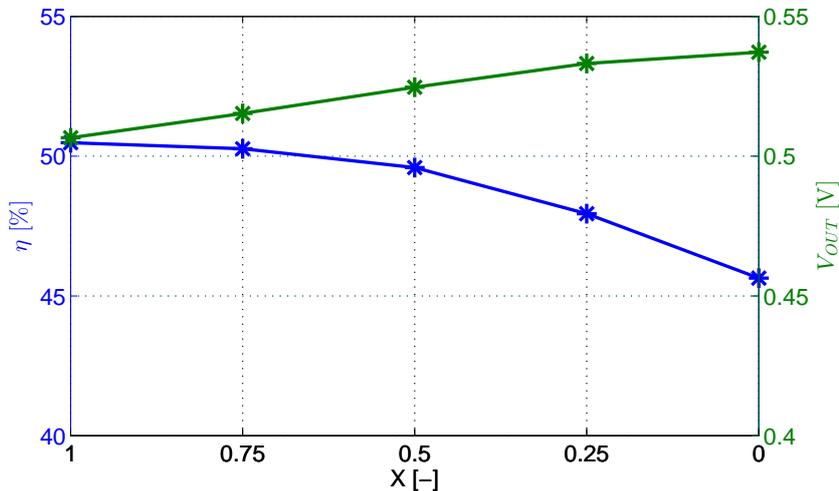


FIGURE 3.22 – $N = 4$; Optimisation pondérée du rendement et de la tension de sortie.

Un bon compromis semble être le cas où $X = 0.5$. Dans ce cas, le rendement atteint 49.6% et la tension de sortie vaut 525mV. Ce qui nous laisse une petite marge quant à la contrainte de puissance de sortie.

3.7 Conclusion

Dans ce chapitre, nous avons réalisé le dimensionnement de notre convertisseur. Pour cela, nous avons fixé la taille des capacités de transfert ainsi que la fréquence d'horloge en nous basant sur les résultats de simulations sur un circuit simplifié. Ensuite, nous avons dimensionné les circuits de génération des horloges. Une fois cette étape réalisée, nous avons pu utiliser la méthode du gradient sur le circuit complet pour déterminer les dimensions des transistors du convertisseur. En utilisant cette méthode, nous avons pu également déterminer le nombre d'étages ainsi que le type de transistors utilisés. Les caractéristiques principales du circuit sont les suivantes :

| N | f | C_t | W_n | W_p | L | $W_{n,driv}$ | $W_{p,driv}$ | MOS |
|-----|--------|--------|--------------|--------------|--------------|---------------|---------------|-------|
| 4 | 2.5MHz | 62.5pF | 68.3 μ m | 81.7 μ m | 0.18 μ m | 467.1 μ m | 421.2 μ m | LVTGP |

TABLE 3.10 – Dimensionnement du circuit final.

| V_{TEG} | V_{IN} | V_{OUT} | P_{IN} | P_{OUT} | η |
|-----------|----------|-----------|--------------|--------------|--------|
| 156mV | 140.2mV | 525mV | 5.53 μ W | 2.74 μ W | 49.6% |

TABLE 3.11 – Performances du circuit final.

Chapitre 4

Étude des performances

Dans ce chapitre nous analysons les performances de notre circuit pour des points de fonctionnement différents de celui pour lequel il a été optimisé. En particulier, nous allons analyser la manière dont la variation de la tension d'entrée peut altérer les performances de notre circuit à cause de la technique de *forward body bias* utilisée. Nous étudions également les performances du circuit pour une charge R_{load} variable ainsi que les effets de la température et des corners de process sur le rendement et la tension de sortie de notre convertisseur. Enfin, les performances sont comparées avec des circuits de la littérature assez similaires au notre.

4.1 Effet limitatif du *forward body bias*

4.1.1 Analyse sur un *voltage doubler* à un étage

Cette première analyse est faite sur un doubleur de tension à 1 étage contrôlé par les signaux d'horloge idéaux utilisés dans le chapitre précédent afin de pouvoir garder la fréquence du circuit constante. Cette analyse permet de mettre en évidence un effet néfaste que peut avoir le mécanisme de *forward body bias* sur notre circuit lorsque la tension d'entrée augmente. Nous observons la variation du rendement et de la tension de sortie en fonction de la tension d'entrée : figure 4.1.

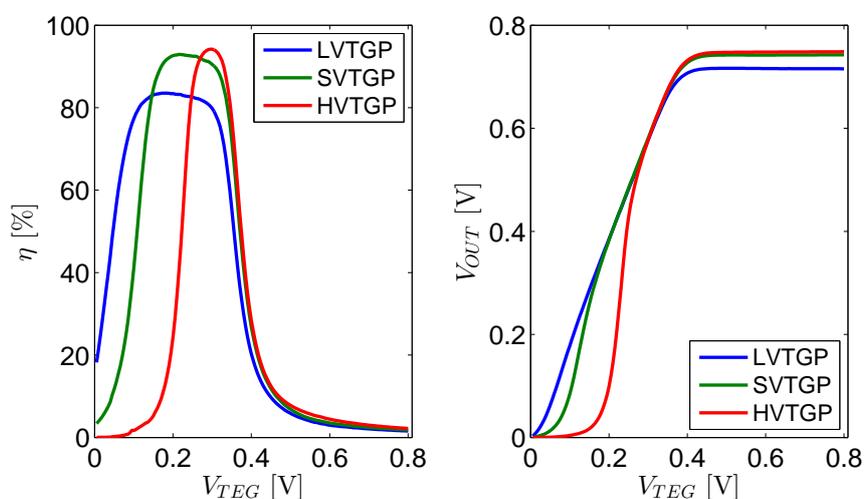


FIGURE 4.1 – Rendement et V_{OUT} pour 1 étage en fonction de la tension d'entrée.

On peut observer une importante chute de rendement du circuit à partir d'une même tension V_{IN} (assez proche pour tous les types de transistors testés). À partir de cette tension V_{IN} , on observe également une saturation de la tension de sortie. Pour comprendre ces phénomènes, nous commençons par étudier l'évolution des niveaux de tension dans notre circuit à mesure que V_{IN} augmente et vérifions les modes de fonctionnement des différents transistors qui constituent le doubleur de tension.

Sur la figure ci-contre, les niveaux de tension aux différents nœuds sont précisés dans le cas où le signal CLK est haut. Les niveaux de tensions aux bornes des transistors sont les suivants :

| PMOS | |
|------------------------|------------------------|
| ON | OFF |
| $V_{SG} \simeq V_{IN}$ | $V_{SG} \simeq 0$ |
| $V_{SD} \simeq 0$ | $V_{SD} \simeq V_{IN}$ |

| NMOS | |
|------------------------|------------------------|
| ON | OFF |
| $V_{GS} \simeq V_{IN}$ | $V_{GS} \simeq 0$ |
| $V_{DS} \simeq 0$ | $V_{DS} \simeq V_{IN}$ |

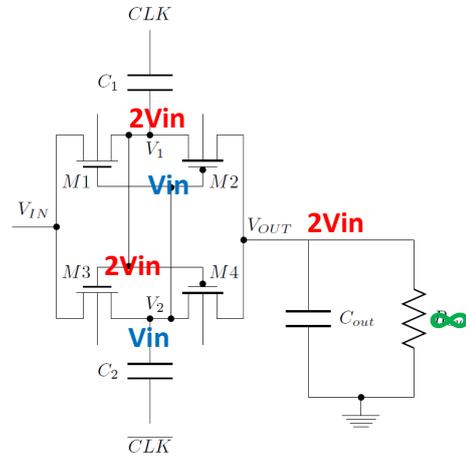


FIGURE 4.2 – Niveaux de tension en régime pour $R_{load} = \infty$.

L'augmentation de V_{IN} a pour unique effet l'augmentation de la conductivité des interrupteurs aux moments où ils doivent en effet être passants. Lorsqu'ils sont bloquants, aucune modification de leur conductivité n'est attendue. On ne peut donc pas expliquer le plafonnement du niveau de tension en se contentant de cette analyse.

Pour comprendre ce qu'il se passe, il faut se rappeler la particularité du circuit utilisé : l'utilisation du *forward body bias* dont le but est de diminuer la résistance ON des transistors. Dans le cas particulier d'un circuit à un unique étage¹, cela revient à connecter le body des NMOS à la tension de sortie et le body des PMOS à la masse. Malheureusement, en plus de diminuer la résistance ON des transistors, le forward body bias a pour effet de polariser dans le sens passant la diode parasite qui existe entre le body et la source/drain (voir annexe A.3). Sur la figure 4.3, nous mettons en évidence les deux diodes parasites à considérer dans le cas particulier où $N=1$.

Lorsque le signal CLK est haut, la diode $D1$ voit une tension $2V_{IN}$ à ses bornes. Si cette tension est supérieure à la tension seuil de la diode (voir annexe A.3), les charges qui devaient normalement sortir par le drain du PMOS, sortent par le substrat de ce dernier et n'iront pas charger la sortie de notre circuit. Lorsque le signal CLK est bas, la diode $D2$ voit théoriquement V_{IN} à ses bornes. À nouveau, si cette tension est supérieure à la tension seuil de la diode, le nœud V_{OUT} se décharge au travers de cette diode.

Lorsque la tension d'entrée s'approche de 350mV, le circuit ne fonctionne plus correctement. Sur la figure A.10, on peut constater que le courant de fuite atteint plusieurs dizaines de μA pour une tension d'environ 700mV appliquée à la diode parasite². Les 350mV correspondent donc à la moitié de cette tension de 700mV.

1. Nous n'utilisons ici pas d'étage supplémentaire de polarisation.
2. Dans le cas particulier de transistors LVTGP.

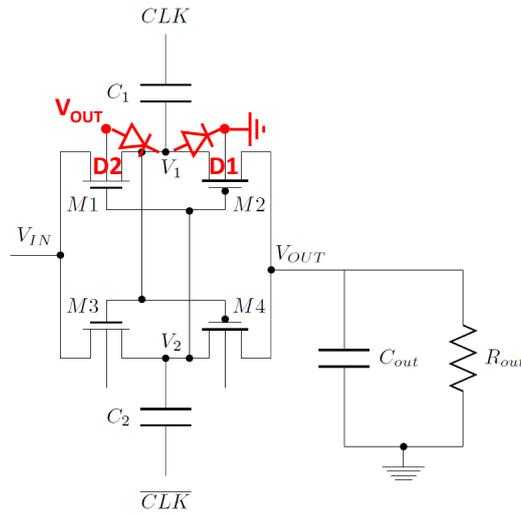


FIGURE 4.3 – Mise en évidence des diodes parasites dans le cas particulier d’un *voltage doubler* à 1 étage.

Dans le cas d’un circuit à plusieurs étages pour lequel le *forward body bias* est réalisé à l’aide d’un étage additionnel, nous utilisons la tension de l’étage $i \pm 1$ pour polariser le substrat des NMOS ou PMOS respectivement. La tension qui s’applique à la diode parasite est $2V_{IN}$ dans tous les cas. Dès que la tension d’entrée s’approche ou dépasse 350mV, les diodes parasites des NMOS ou les PMOS limitent le transfert de charge vers la sortie.

4.1.1.A Sans forward body bias

Nous avons observé l’évolution du rendement et de la tension de sortie lorsqu’on ne réalise pas le *forward body bias*. Pour cela, nous avons simplement connecté les substrats aux sources des transistors concernés. Les résultats de simulation sont donnés sur la figure 4.4. Remarquons, comme c’est aussi le cas sur la figure 4.1.1, que le choix d’un transistor LVTGP est le meilleur choix pour notre tension d’alimentation. L’analyse qui suit se fait en parallèle avec les courbes de Z_{OUT} (fig. 4.5) extraites dans le cas particulier de l’utilisation de transistors LVTGP.

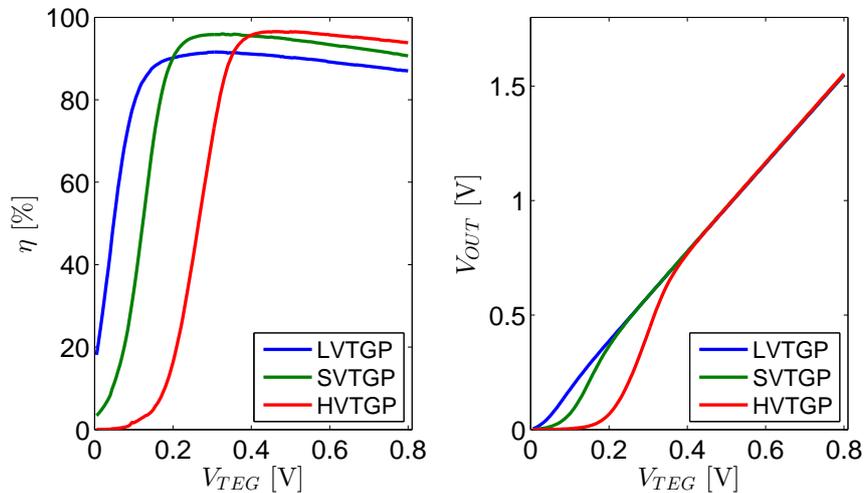


FIGURE 4.4 – η et V_{OUT} pour 1 étage sans *forward body bias* en fonction de V_{IN} .

On peut scinder chacun des deux graphiques en deux zones distinctes. Il y a d'abord la zone constituée des tensions d'alimentations inférieure à 0.5V où on constate que le comportement du circuit en terme de rendement et tension de sortie varie suivant la tension d'alimentation et le type de transistor. Il y a ensuite la zone constituée des tensions d'alimentation supérieures à 0.5V où l'évolution du rendement et de la tension de sortie ne dépend plus de V_{IN} et du type de transistor. Pour comprendre ce phénomène, il faut se rappeler les niveaux de tension de seuil des différents transistors utilisés (LVT : 356mV, SVT : 413mV, HVT : 482mV) et observer qu'il est possible de lier ces valeurs aux tensions d'alimentations V_{IN} pour lesquelles les niveaux de rendement maximum sont atteints pour chaque type de transistor (ou encore les niveaux de tensions V_{IN} qui permettent aux courbes de V_{OUT} d'atteindre l'asymptote).

En augmentant la tension d'alimentation, le niveau d'inversion des transistors augmente et par conséquent, leur résistance ON diminue. On peut observer la diminution de la résistance ON des transistors via le niveau d'impédance Z_{OUT} du circuit dans la région FSL (fig. 4.5). On constate que l'impédance en FSL diminue exponentiellement lorsque V_{in} augmente jusqu'à atteindre 300mV. Au delà de ce niveau de tension, on constate que l'évolution de Z_{OUT} sature et finit par ne plus diminuer à partir de 450mV.

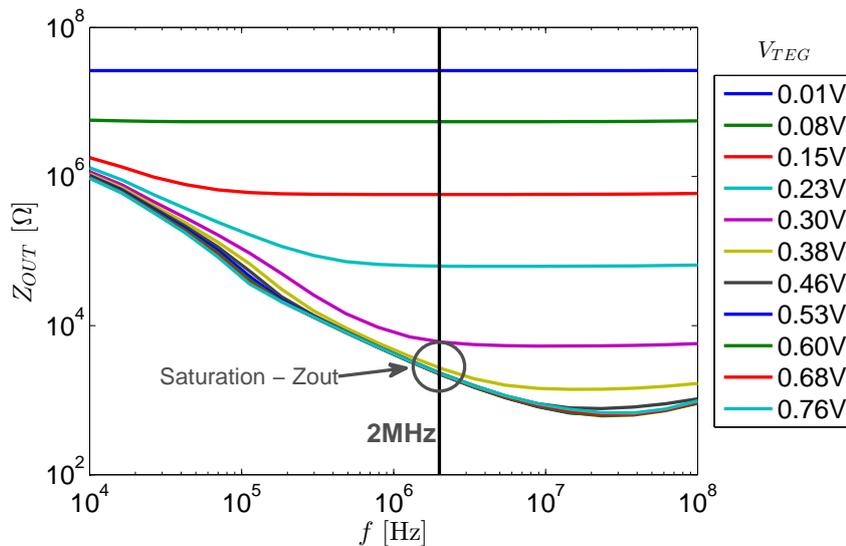


FIGURE 4.5 – Évolution de Z_{OUT} avec la fréquence pour différentes tension d'alimentation dans le cas particulier d'un *voltage doubler* à un étage.

Pour comprendre pourquoi l'impédance Z_{OUT} ne diminue plus avec l'augmentation de la tension d'entrée, il faut observer que la tension V_{GS} est toujours proche de V_{IN} alors que la tension V_{DS} est proche de ΔV . Dans le cas où V_{GS} est supérieure à la tension seuil, on a que $V_{DS} < V_{GS} - V_{th}$. Les transistors seront toujours en régime linéaire lorsque V_{IN} est supérieure à V_{th} . Par conséquent, lorsque V_{GS} est inférieur à V_{th} , on est en régime bloquant et le courant au sein du transistor évolue exponentiellement avec V_{GS} et Z_{OUT} évolue également exponentiellement avec V_{IN} . Par contre, lorsque $V_{GS} \geq V_{th}$, le courant évolue linéairement avec V_{GS} . Ces deux comportements sont visibles dans les courbes de Z_{OUT} .

La diminution du rendement au fur et à mesure de l'augmentation de la tension d'entrée s'explique par le fait qu'une partie importante des pertes au sein du circuit sont proportionnelles au carré de la tension d'entrée. De plus, dès que V_{IN} dépasse la tension de seuil des transistors, l'impédance Z_{OUT} ne diminue plus significativement et donc, la puissance de sortie du circuit n'augmente pas aussi vite que la puissance soustraite au générateur.

4.1.2 Pour $N = 3$

Si l'on reproduit l'analyse pour trois étages avec et puis sans *forward body bias*, on obtient les deux graphiques ci-dessous (fig. 4.6 et fig. 4.7 respectivement). On observe à nouveau que le *forward body bias* a un effet néfaste sur la tension de sortie et sur le rendement à partir d'une tension d'alimentation proportionnelle à la tension de seuil des diodes parasites des transistors. À nouveau, lorsque la tension d'alimentation se rapproche de 0.35V, le rendement chute V_{OUT} sature.

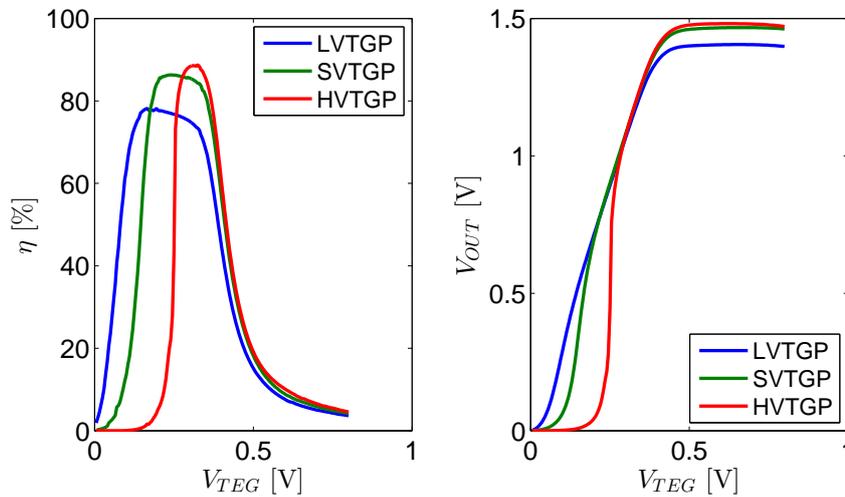


FIGURE 4.6 – η et V_{OUT} pour 3 étages en fonction de la tension d'entrée (avec *forward body bias*).

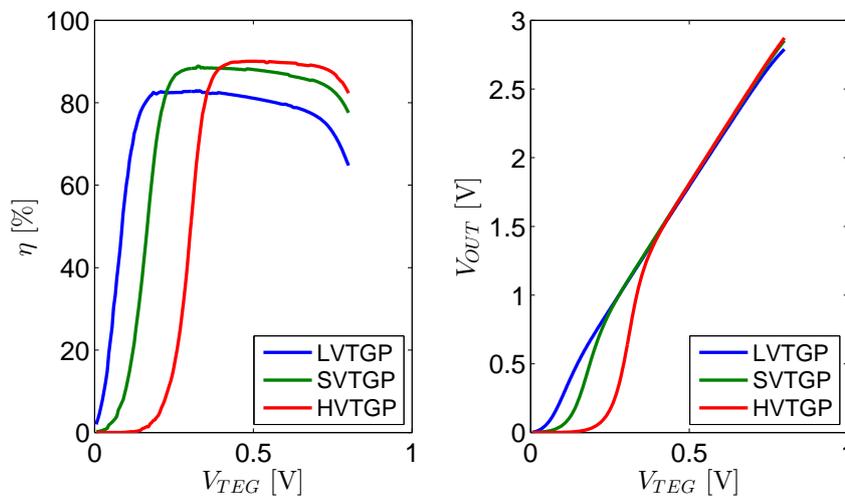


FIGURE 4.7 – Rendement et V_{OUT} pour 3 étages en fonction de la tension d'entrée (sans *forward body bias*).

4.1.3 Circuit final

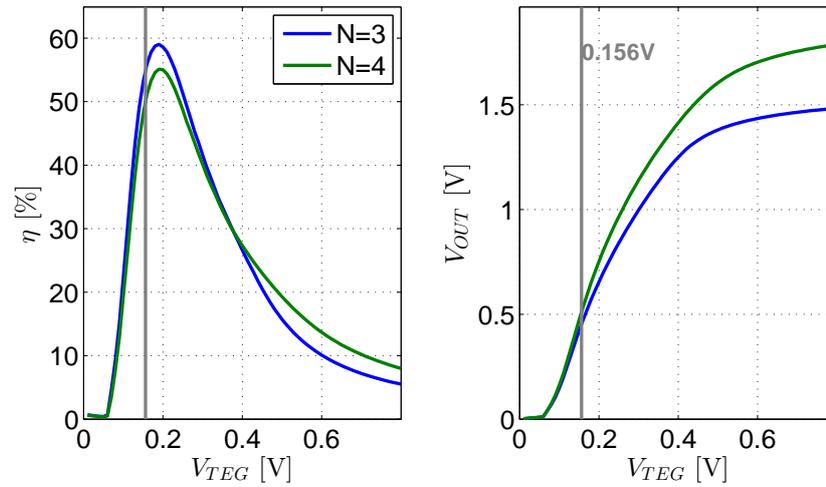


FIGURE 4.8 – Rendement et V_{OUT} sur test bench $N = 3$ et 4.

Le comportement du circuit final lors d'une augmentation de tension est plus complexe à étudier. Par rapport aux analyses précédentes, il faut ajouter l'effet de la variation en fréquence qu'occasionne la modification de la tension d'alimentation, le cas extrême étant l'arrêt de l'oscillateur pour une tension d'entrée inférieure à 60mV. La chute de rendement observée ici est le résultat des courants de fuite associés aux diodes parasites mais est également due à l'écart de la fréquence de l'oscillateur par rapport à la fréquence optimale déterminée précédemment. Isoler l'impact de ces deux phénomènes sur le test bench est difficilement réalisable.

4.2 Quantification du gain en performance avec le *forward body bias*

Au vu des graphiques 4.6 et 4.7, il est légitime de remettre en question l'intérêt de pratiquer le *forward body bias* tant il est difficile d'apprécier un quelconque gain en terme de rendement ou de tension de sortie. Sur la figure 4.9, on compare η et V_{OUT} avec ou sans *forward body bias* sur le circuit final (voir dimensions dans la table 3.10) en fonction de la tension du TEG.

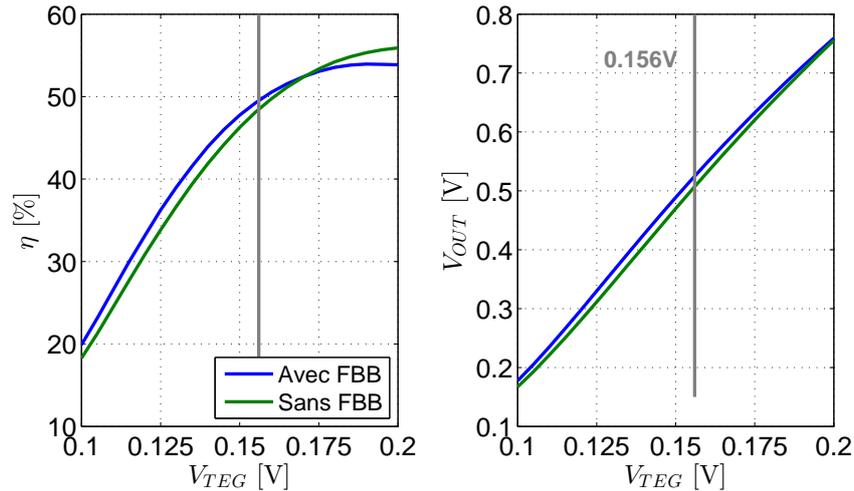


FIGURE 4.9 – Comparaison des performances du circuit final avec et sans *forward body bias*.

Le *forward body bias* permet, au point de fonctionnement nominal ($V_{TEG} = 0.156mV$), d'avoir un gain en rendement de 2.2% et un gain en tension de sortie de 3.5%. Ce gain est relativement faible, mais il ne nécessite aucun coût supplémentaire par rapport au circuit de base. Par contre, lorsque V_{TEG} augmente, l'effet limitatif du *forward body bias* rend le circuit moins performant. Cela n'est pas trop contraignant puisque si V_{TEG} est supérieure à 0.156mV, la puissance de sortie est d'office suffisante et l'objectif du convertisseur est bien rempli.

4.3 Variation de la charge

Dans cette section, nous présentons les résultats de simulation caractérisant les performances de notre circuit final. Le circuit a été dimensionné de manière à optimiser son comportement au point de fonctionnement suivant : $V_{TEG} = 0.3 \text{ V}$, $R_{load} = 100\text{k}\Omega$ avec une tension de sortie égale à au moins 0.5V . Nous allons ici faire varier la charge R_{load} et observer l'impact d'une variation de la tension d'alimentation V_{TEG} , de la température ainsi que des corners de process.

4.3.1 Impact de la tension d'alimentation V_{TEG}

Les graphiques ci-dessous sont tracés pour différentes valeurs de la tension interne du TEG. La tension effective s'appliquant à l'entrée du convertisseur sera, comme expliqué précédemment, affectée par la chute de potentiel sur la résistance interne du TEG qui est elle-même fonction du courant débité en sortie. Par exemple, pour $V_{TEG} = 0.156\text{V}$, la tension effective appliquée à $R_{load} = 10\text{k}\Omega$ est de 0.2V contre 0.24V à $R_{load} = 100\text{M}\Omega$.

4.3.1.A Tension de sortie

La figure 4.10 montre l'évolution de la tension de sortie du convertisseur à 4 étages pour des valeurs croissantes de R_{load} . On constate logiquement que la tension de sortie sature pour de grandes résistances de charge : la tension tend vers V_{nl} , la tension de sortie du convertisseur à vide. Pour notre topologie à 4 étages, la tension de sortie est idéalement égale à 5 fois la tension d'alimentation du convertisseur. La tension réelle sera évidemment inférieure à cette valeur idéale à cause des pertes à chaque étage du convertisseur.

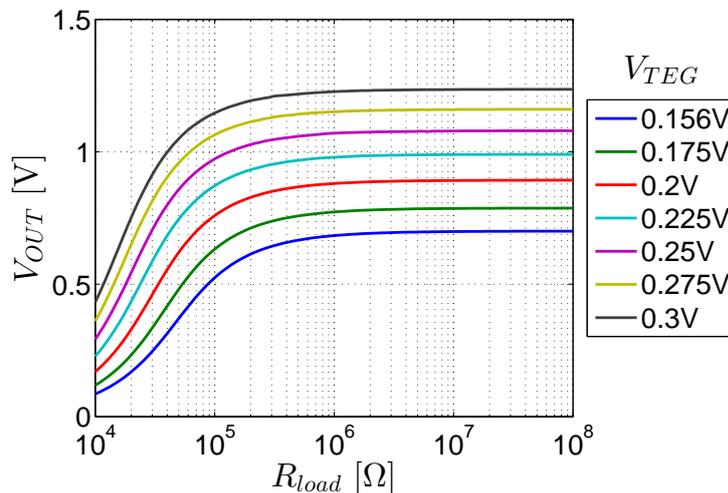


FIGURE 4.10 – V_{OUT} en fonction de R_{load} pour différentes tensions V_{TEG} .

Ces courbes peuvent être représentées de manière équivalente en fonction du courant I_{load} correspondant : figure 4.11.

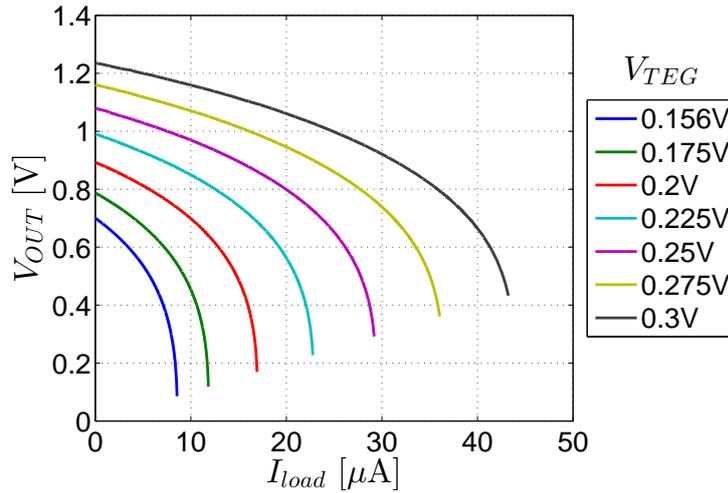


FIGURE 4.11 – V_{OUT} en fonction de I_{load} pour différentes tensions V_{TEG} .

4.3.1.B Rendement

Dans notre travail, le rendement est défini comme $\frac{P_{out}}{P_{in}}$ où P_{in} correspond à la puissance entrant après la résistance interne du TEG. Notre expression du rendement prend donc en compte la consommation du ring oscillator, du bloc de NOC, des drivers et du convertisseur multi-étages. Ce rendement est représenté en fonction de R_{load} à la figure 4.12 et en fonction du courant I_{load} correspondant à la figure 4.13.

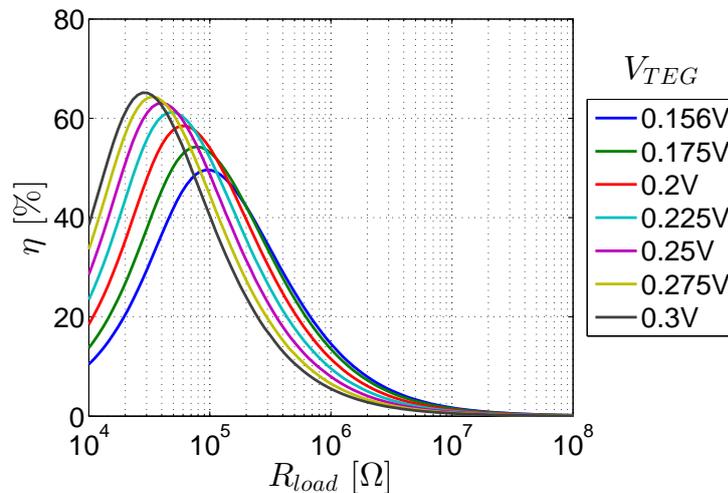


FIGURE 4.12 – η en fonction de R_{load} pour différentes tensions V_{TEG} .

On peut constater que le pic de rendement est de plus en plus élevé au fur et à mesure que la tension d'alimentation V_{TEG} augmente. Cela s'explique par le fait que les transistors fonctionnent mieux pour des tensions plus élevées, le mode passant permet alors un meilleur transfert de charge vers la sortie grâce à une résistance ON plus faible (et donc des pertes plus faibles). Ce pic de rendement apparait pour des valeurs de R_{load} de plus en plus faibles quand V_{TEG} augmente. Cela peut s'expliquer par le fait que la puissance de sortie P_{OUT} sera maximale lorsque la résistance de sortie du convertisseur sera adaptée à R_{load} . Or, comme expliqué précédemment, cette impédance de sortie dépend de la résistance ON des transistors ; cette résistance ON sera d'autant plus faible que V_{TEG} augmente et le pic de rendement apparaîtra donc pour des R_{load} plus faibles. Remarquons que, de manière générale, le rendement

s'effondre pour des valeurs de R_{load} élevées. Cette chute de rendement est causée par la baisse du courant de sortie associé alors que la tension de sortie sature comme l'indique la figure 4.10. La puissance de sortie devient donc faible en comparaison des coûts fixes comprenant les consommations en puissance du ring oscillator, du NOC et des drivers. Le rendement global est alors très faible. Enfin, notons que les résultats montrés sur ce graphique pour $R_{load} = 100k\Omega$ rejoignent les résultats de la figure 4.8 : le rendement augmente avec V_{TEG} avant de chuter pour des tensions supérieures à 0.2V.

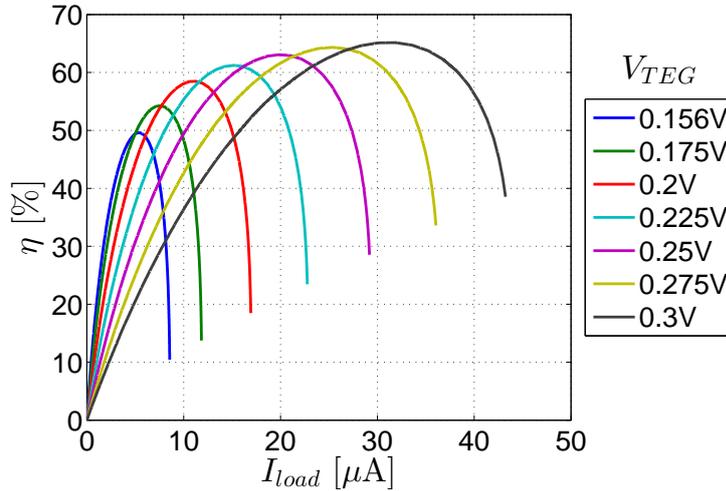


FIGURE 4.13 – η en fonction de I_{load} pour différentes tensions V_{TEG} .

4.3.1.C I_{load} et η en fonction en fonction de V_{TEG} à $V_{OUT} = 0.5$ V.

La figure 4.14 présente la valeur du courant de sortie qui peut être fourni par notre circuit pour une tension de sortie à 0.5V et une tension d'alimentation V_{TEG} qui varie. Le rendement associé à ces points de fonctionnements est présenté à la figure 4.15.

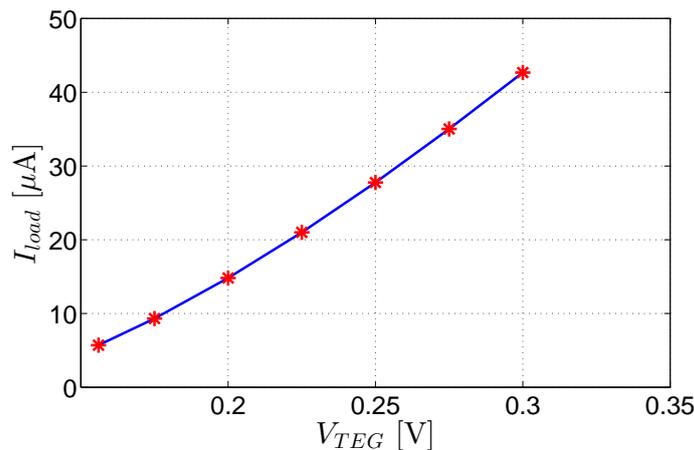


FIGURE 4.14 – I_{OUT} en fonction de V_{TEG} à $V_{OUT} = 0.5$ V.

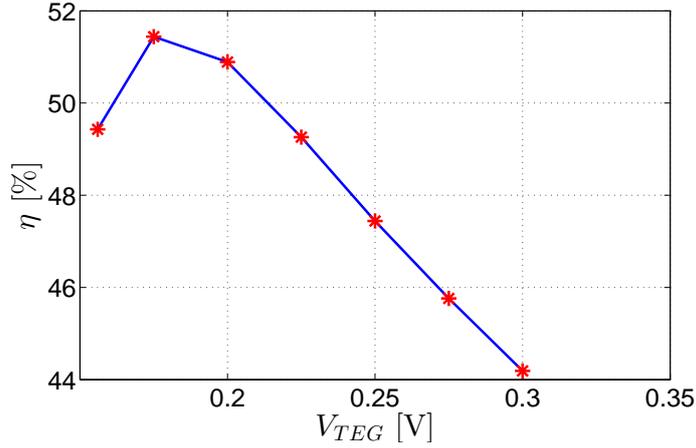


FIGURE 4.15 – η en fonction de V_{TEG} à $V_{OUT} = 0.5V$.

4.3.2 Impact de la température

Pour étudier l'impact de la température dans le cas de notre circuit, il convient de s'intéresser à l'équation du courant sous seuil dans un transistor MOS :

$$I_d = \mu C_{ox} \frac{W}{L} \left(\frac{kT}{q} \right)^2 \left(1 - e^{-\frac{q}{kT} V_{DS}} \right) e^{\frac{q}{kT} (V_{GS} - V_{th})} \quad (4.1)$$

Dans cette équation on peut remarquer que la température va intervenir à différents endroits. Le *thermal voltage* $\frac{kT}{q}$ est directement influencé par la température, mais la tension de seuil V_{th} et la mobilité μ le sont également. La tension de seuil diminue linéairement avec l'augmentation de la température, de même la mobilité décroît avec la température selon T^{-k_μ} où k_μ est un paramètre de fitting dont la valeur classique est 1,5 [32]. Le résultat de ces effets combinés va varier selon que le transistor se trouve en faible ou en forte inversion. Pour des faibles V_{GS} , le courant augmente avec la température tandis que pour des V_{GS} élevés, le courant diminue avec la température [32]. Nous avons pu vérifier cela en simulation pour notre technologie 65nmGP LVT : la figure 4.16 présente la dérivée du courant de drain par rapport à la température pour différentes valeurs de tension V_{GS} .

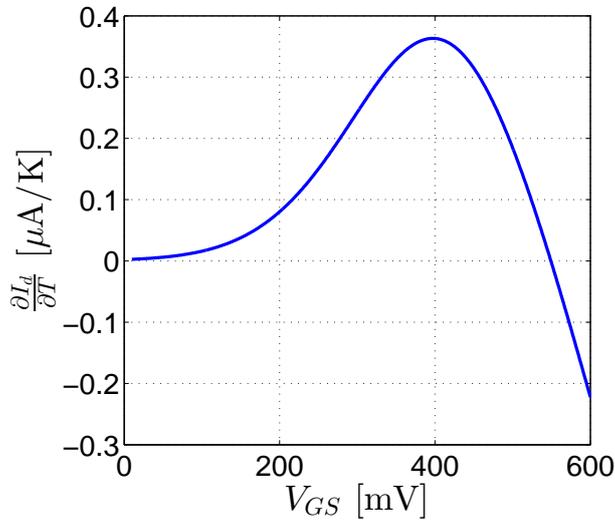


FIGURE 4.16 – $\frac{\partial I_d}{\partial T}$ en fonction de V_{GS}

Dans le cas de notre circuit, les tensions V_{GS} seront approximativement égales à la tension d'entrée du convertisseur. Nous sommes donc (pour la gamme de tensions d'entrée utilisée dans la section précédente) dans la zone où le courant augmente avec la température.

L'ensemble des simulations a, jusqu'ici, été réalisé pour une température de 25°C qui correspond à une température intermédiaire entre la température de la peau (proche de 30°C) et de l'air ambiant (20°C en indoor). Nous faisons désormais varier ce paramètre afin de prendre la mesure de son impact. Son impact sur la tension de sortie de notre circuit ainsi que sur le rendement peut être observé sur les figures 4.17 et 4.18 respectivement. Ces résultats ont été obtenus pour un fonctionnement à une tension d'alimentation de 0.156V.

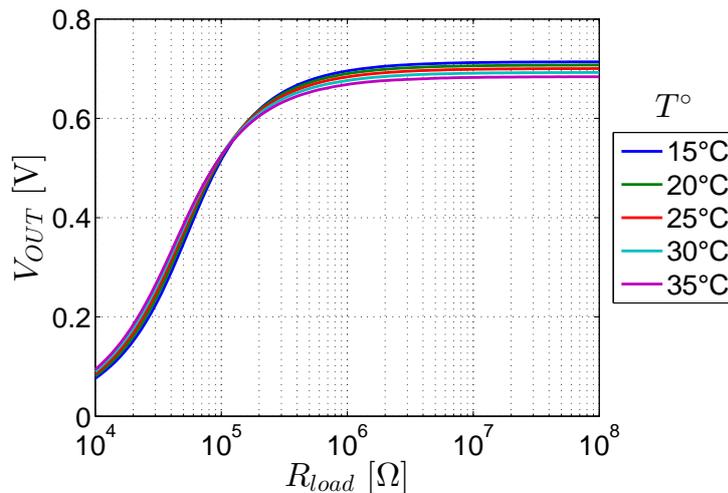


FIGURE 4.17 – V_{OUT} en fonction de R_{load} à différentes températures.

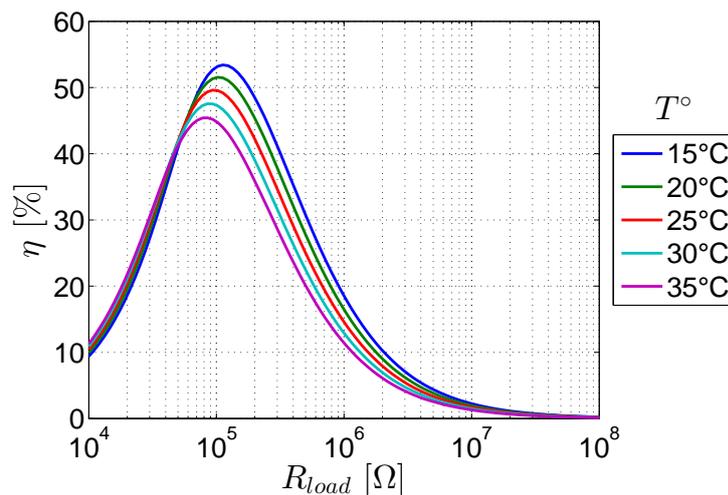


FIGURE 4.18 – η en fonction de R_{load} à différentes températures.

Sous seuil, une diminution de température implique une augmentation de la tension de seuil qui aura un impact sur différents éléments du circuit :

- L'oscillateur aura une fréquence de fonctionnement inférieure.
- Les pertes de switching associées vont donc diminuer.

- Les transistors au sein du convertisseur voient leur résistance ON augmenter, ce qui induit une augmentation de Z_{OUT} .
- Le courant total tiré du TEG diminue, ce qui augmente la tension d'entrée effective à l'entrée du convertisseur.

Comme on peut le constater sur la figure 4.17, les performances en tension de sortie sont relativement peu affectées par les variations de température proches de la température ciblée de 25°C, en particulier près de la zone de $R_{load} = 100k\Omega$ qui est le point de fonctionnement pour lequel le circuit a été optimisé. Remarquons néanmoins que pour des valeurs de R_{load} élevées, le circuit fonctionnant à des températures élevées fournira une tension de sortie plus élevée.

Pour des R_{load} élevées, cette augmentation de la tension de sortie concorde avec l'augmentation de la tension d'entrée qui sera prépondérante par rapport à l'augmentation de la résistance ON des switches.

Pour les R_{load} plus faibles, le courant de sortie I_{load} est plus élevé et il est également à l'origine d'une chute de tension sur la résistance interne du TEG. Dès lors, le gain sur la tension d'entrée associé à la diminution de fréquence lorsque la température diminue devient négligeable devant l'augmentation de la résistance ON des switches.

4.3.3 Impact des corners de process

Les principales variations intervenant dans la fabrication d'un circuit utilisant des transistors MOS sont les variations sur la longueur de canal L , l'épaisseur d'oxyde t_{ox} ainsi que sur la tension de seuil [32]. L'effet global de ces variations implique que certains transistors seront plus rapides (ils peuvent débiter des courants plus importants) ou plus lents. Les corners représentent les variations extrêmes de ces éléments associés aux transistors NMOS et PMOS. Les 5 corners sont : TT, FF, SS, FS et SF. La première lettre désigne le corner associé aux NMOS et le deuxième le corner associé au PMOS. T correspond au cas *Typical* tandis que F et S correspondent à des transistors rapides (*Fast*) ou lents (*Slow*). Nous présentons sur les figures 4.19 et 4.20 les performances de notre circuit pour les corners FF, TT et SS.

L'effet de ces corners sera globalement le même que l'effet de la température. Pour un fonctionnement sous-seuil, lorsque la température est basse, le transistor conduit un courant plus faible ; on peut assimiler ce cas au corner SS. Lorsque la température est élevée, le transistor conduit un courant plus élevé ; on peut l'assimiler au corner FF. L'évolution du rendement et de la tension de sortie suit les mêmes tendances que pour les variations de température. Ces résultats sont obtenus avec une tension d'alimentation $V_{TEG} = 0.156V$. Il faut cependant noter que pour un corner SS, à $R_{load} = 100k\Omega$ (point pour lequel nous avons optimisé notre circuit), la tension de sortie sera légèrement inférieure aux 0,5V. Pour s'assurer que notre convertisseur puisse débiter 5 μ A sous une tension de 0.5V (correspondant au cas $R_{load} = 100k\Omega$) à partir de $V_{TEG} = 0.156V$ pour le corner SS, il est nécessaire d'ajouter un étage au convertisseur ce qui dégradera le rendement.

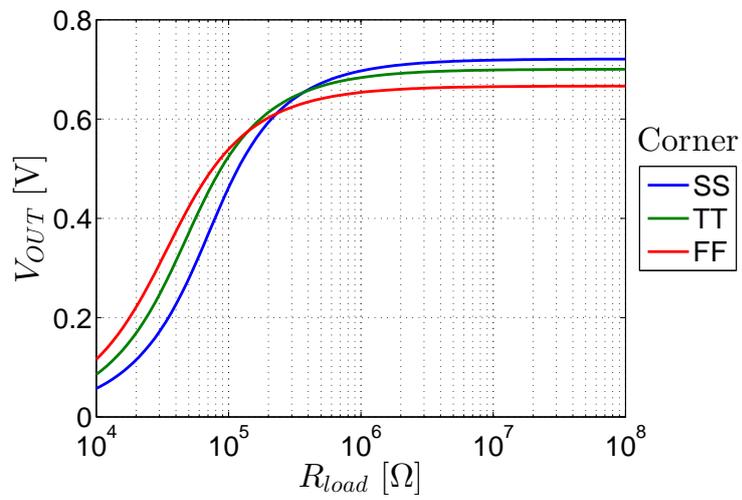


FIGURE 4.19 – V_{OUT} en fonction de R_{load} pour les différents corners de process.

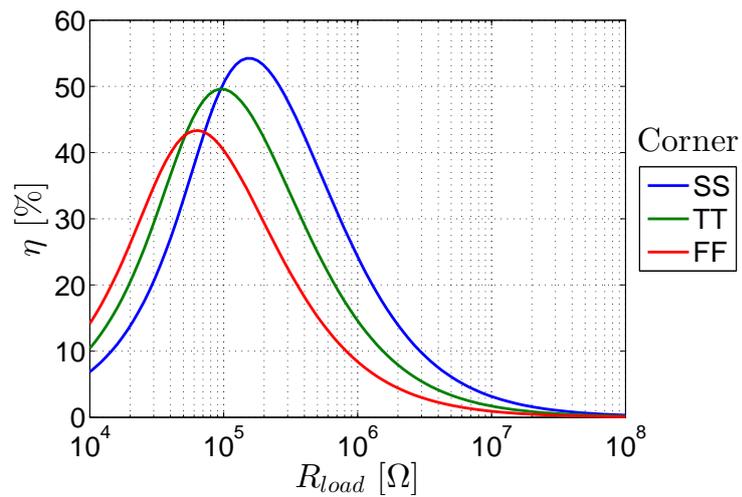


FIGURE 4.20 – η en fonction de R_{load} pour les différents corners de process.

4.4 Surface totale du convertisseur

Dans ce travail, ne nous sommes pas allés jusqu'à la réalisation du layout. De ce fait, nous ne pouvons déterminer qu'une estimation de la surface totale du circuit. Nous savons néanmoins que les capacités de transfert occuperont la majeure partie de la surface. Le tableau 4.1 reprend les dimensions des différents éléments du circuit. La surface des capacités a été estimée sur base de la densité surfacique des capacités MiM donnée dans la section 3.1.3.A.

| Bloc | Dimensions |
|-----------------|----------------------|
| Capacités C_t | 0.1 mm ² |
| Convertisseur | 164 μm ² |
| Driver | 158 μm ² |
| Oscillateur | 115 μm ² |
| NOC | 0.58 μm ² |

TABLE 4.1 – Répartition de la surface de notre convertisseur.

4.5 Comparaison des performances avec état de l'art

Nous comparons ici les performances de notre circuit avec celles de circuits assez similaires présentés dans la littérature. Pour que la comparaison entre deux circuits ait du sens, il faut évidemment les comparer dans des conditions similaires. Ce n'est pas toujours évident puisque ces articles décrivent rarement les conditions exactes dans lesquelles leurs résultats sont obtenus. Pour cela nous basons notre comparaison sur un point de fonctionnement à tension d'entrée (que nous assimilons à V_{TEG}) de 0.18V puisque les articles que nous examinons donnent la plupart des données d'intérêt à ce point de fonctionnement. Précisons également que les articles [27] et [33] donnent les résultats de mesures effectuées sur le circuit après fabrication tandis que les performances de notre circuit ainsi que de l'article [26] sont obtenues par simulation.

Certains articles mettent en avant une tension minimale de fonctionnement ($V_{IN,min}$). Ils ne définissent cependant pas ce qu'ils considèrent comme étant un fonctionnement correct. Selon nous, cette définition doit impliquer que le convertisseur arrive à fournir la tension cible, éventuellement à courant de sortie moindre. Ainsi dans [27], le convertisseur est développé pour fonctionner à une tension d'entrée de 0.18V et débiter un courant $I_{OUT} = 5\mu A$ à $V_{OUT}=0.5V$; d'après les données fournies les auteurs il pourra néanmoins fonctionner avec une tension d'entrée de 0.14V mais fournira un courant de sortie plus faible. Il en va de même pour le circuit que nous avons développé : d'après nos simulations, il pourra fonctionner à une tension de 0.125V³ (comme [26]) et $V_{OUT} = 0.5V$ mais fournira un I_{OUT} de 0.75μA.

3. Il pourrait même fonctionner à des tensions plus basses, nous n'avons cependant pas fait de tests.

TABLE 4.2 – Comparaison avec l'état de l'art

| Paramètres | [27] | [33] | [26] | Ce travail |
|---------------------------------|-------------------------------|--------------------------------|--------------------------|--------------------------------|
| f | 10MHz | 250kHz | 360kHz | 2.5MHz |
| $V_{IN,min}$ | 0.14V | 0.15V | 0.125V | 0.125V |
| $V_{OUT,no\ load}$ | 0.6V @ $V_{IN}=0.18V$ | 0.619V @ $V_{IN}=0.18V$ | 0.6V @ $V_{IN}=0.18V$ | 0.8V @ $V_{IN}=0.18V$ |
| η_{max} | n.c | 34% @ $V_{IN}=0.18V$ | 75% @ $V_{IN}=0.125V$ | 55% @ $V_{IN}=0.18V$ |
| $C_{t,tot}$ | 74.6pF | 10nF | 96pF | 500pF |
| I_{OUT} @ $V_{OUT} = 0.5V$ | 7 μA @ $V_{IN}=0.18V$ | 21 μA @ $V_{IN}=0.18V$ | n.c. | 10 μA @ $V_{IN}=0.18V$ |
| N étages | 3 | 3 | 3 | 4 |
| Process | 65nm CMOS | 130nm CMOS | 130nm CMOS | 65nm CMOS |

La topologie sur laquelle nous nous sommes basés est celle de l'article [27]. Nous utilisons un étage supplémentaire et des capacités de transfert plus importantes mais une fréquence plus faible. La tension que notre convertisseur peut fournir à vide est logiquement plus élevée. À conditions identiques, notre circuit délivre par contre un courant I_{OUT} plus important que [27], ce qui laisse penser que le rendement de notre circuit est meilleur que le rendement non communiqué dans [27].

4.6 Conclusion

Dans ce chapitre nous avons étudié le fonctionnement de notre circuit à des points de fonctionnement autres que celui pour lequel il a été optimisé. Nous avons mis en évidence l'effet néfaste que peut avoir le *forward body bias* sur le rendement de notre circuit lorsque la tension d'entrée est proche de 350mV. Cette technique implique la polarisation dans le sens passant de diodes parasites et donc des courants de fuite qui peuvent devenir importants et faire chuter le rendement pour des tensions d'entrée qui augmentent. Pour le circuit complet, le rendement chute même à partir de 0.2V ; cela s'explique par la variation de fréquence de l'oscillateur qui s'écarte de la fréquence optimale. Nous avons ensuite fait varier la charge R_{load} de notre circuit. Les résultats indiquent bien que le rendement est optimal pour le point de fonctionnement pour lequel notre circuit a été dimensionné : un pic de rendement est observable à 100k Ω pour $V_{TEG} = 0.156V$. L'effet de la température a également été examiné. Les variations de température impacteront peu la tension de sortie de notre circuit. Le rendement varie, quant à lui, d'une dizaine de pour-cents dans une plage de températures proche de 25°C. L'évolution de la température n'empêchera donc pas au convertisseur d'assurer sa fonction puisque la tension de sortie varie peu et le rendement reste acceptable. Les effets associés aux variations de corners sont semblables aux effets de la température. Le corner SS posera néanmoins problème pour le point de fonctionnement que nous avons optimisé : la tension de sortie pour $V_{TEG} = 0.156V$ et $R_{load}=100k\Omega$ est inférieure aux 0.5V ciblés. Pour se prémunir de cette situation, il est envisageable d'utiliser un étage supplémentaire, ce qui aurait néanmoins un effet négatif sur le rendement global du circuit.

Conclusion

Dans ce travail, nous avons étudié le fonctionnement et le dimensionnement d'un convertisseur DC/DC intégrable sur puce fonctionnant à très faible tension d'entrée. Nous utilisons, pour cela, un convertisseur composé de plusieurs étages de *voltage doubler* mis en cascade et utilisant une technique de *forward body bias*. Un tel circuit peut être utilisé pour des applications basées sur du *energy harvesting* comme le seront plus que probablement les noeuds senseurs de l'Internet des Objets. En particulier, le circuit développé ici vise une alimentation à partir d'un générateur thermoélectrique (TEG) qui fournit une tension de 0.156V pour un gradient de température de 1K. Cette source a été modélisée par une source de tension idéale à 0.156V et une résistance interne de 400 Ω déterminée sur base de données techniques. Nous avons développé une méthode de dimensionnement qui permet d'optimiser le fonctionnement de notre convertisseur alimenté par ce modèle du TEG. Les performances visées sont une tension de sortie d'au moins 0.5V (qui peut être régulée) sous un courant de sortie de 5 μ A.

Avant tout, nous avons étudié une méthode de dimensionnement théorique des convertisseurs à capacités commutées présentée dans [28]. Cette méthode n'est pas facilement applicable dans notre cas mais elle nous permet néanmoins de déduire certaines règles de dimensionnement pour notre circuit. Afin d'optimiser le rendement, les tailles des transistors des *voltage doublers* ainsi que des capacités de transfert doivent être identiques à chaque étage (ce qui simplifie grandement le dimensionnement) à l'exception de l'étage de polarisation qui peut être sous dimensionné. Il faut également que les PMOS soient dimensionnés $\sqrt{G_{n,p}}$ fois grands que les NMOS ; les transistors associés aux drivers doivent, quant à eux, être environ N (nombre d'étages) fois plus grands que les transistors des *voltage doublers*.

La méthode de dimensionnement que nous avons développée se base sur des résultats de simulations et permet de tenir compte de nombreux effets associés aux MOS qui ne sont pas pris en compte dans les méthodologies plus théoriques. Notre méthode se divise en plusieurs étapes. Nous avons d'abord déterminé que le fonctionnement optimal du circuit est associé à un produit $f \times C_t$ constant. Nous avons observé cela en simulation sur un circuit simplifié : cela correspond à la zone optimale délimitée par les isocourbes à 95 %. Nous avons étudié la dépendance de ces isocourbes en fonction de la variation de la taille des transistors, du nombre d'étages et du type de transistor. Il est possible de trouver une zone commune à toutes les isocourbes ; en se fixant un budget en capacité maximal de 500pF, nous avons donc pu déterminer une fréquence optimale (relativement indépendante des tailles et du type de transistor) pour chaque nombre d'étages.

L'étape suivante consiste à dimensionner les différents blocs associés aux signaux d'horloge afin de pouvoir simuler le comportement du vrai circuit. Sur base de *lookup*

tables générées par simulation, nous avons déterminé le dimensionnement du *ring oscillator* ainsi qu'un premier dimensionnement des drivers. Le bloc de génération d'horloges non recouvrantes n'a pas nécessité de dimensionnement particulier. Une fois ces blocs implémentés, nous avons pu déterminer la taille optimale des transistors des *voltage doublers* ainsi qu'affiner le dimensionnement des drivers. Pour cela nous utilisons une méthode inspirée de l'algorithme du gradient dont la convergence a été vérifiée de manière empirique. Ces optimisations ont été faites pour toutes les combinaisons de type de transistors et tous les nombres d'étages possibles : les transistors LVTGP donnent les meilleures performances. Dans un premier temps, la métrique optimisée par l'algorithme était uniquement le rendement. Néanmoins en optimisant uniquement le rendement, le dimensionnement optimal est tel qu'il nécessite l'ajout d'un étage supplémentaire pour pouvoir obtenir la tension cible en sortie. Nous avons finalement constaté qu'il était plus intéressant d'optimiser une pondération du rendement et de la tension de sortie. Le résultat final de dimensionnement (table 4.3) nous donne les performances présentées dans la table 4.4.

| N | f | C_t | W_n | W_p | L | $W_{n,driv}$ | $W_{p,driv}$ | MOS |
|-----|--------|--------|--------------|--------------|--------------|---------------|---------------|-------|
| 4 | 2.5MHz | 62.5pF | 68.3 μ m | 81.7 μ m | 0.18 μ m | 467.1 μ m | 421.2 μ m | LVTGP |

TABLE 4.3 – Dimensionnement du circuit final.

| V_{TEG} | V_{IN} | V_{OUT} | P_{IN} | P_{OUT} | η |
|-----------|----------|-----------|--------------|--------------|--------|
| 156mV | 140.2mV | 525mV | 5.53 μ W | 2.74 μ W | 49.6% |

TABLE 4.4 – Performances du circuit final.

Le circuit a donc été optimisé pour ce point de fonctionnement bien précis. Il est intéressant d'examiner comment se comporte le circuit pour d'autres points de fonctionnement. Nous avons constaté que les performances du circuit se dégradent pour des tensions d'entrée trop élevées : à cause, d'une part, de courants de fuite dans les diodes parasites associées au *forward body bias* et, d'autre part, à cause de la variation de la fréquence d'horloge. L'impact de la température et des corners a également été observé : notre circuit fonctionne correctement dans tous les cas à l'exception du corner SS pour lequel la tension de sortie est légèrement inférieure à la tension cible. L'utilisation d'un étage supplémentaire est une solution à ce problème mais implique une baisse de rendement du circuit.

Perspectives

- Dans ce travail, nous ne sommes pas allés jusqu'à l'étape du layout. Cette étape est indispensable pour valider le fonctionnement du circuit puisqu'elle permet de tenir compte de tous les éléments parasites associés à la fabrication du circuit. Dans nos simulations nous n'avons, par exemple, pas tenu compte des capacités et résistances parasites associées aux pistes métalliques de connexion. De plus, les capacités de transfert seront implémentées avec de vraies capacités MiM : jusqu'ici nous avons modélisé chaque capacité de transfert par une capacité utile C associée à une capacité parasite de *bottom plate* égale à αC .

- Un autre élément à améliorer est l'aspect de régulation de notre convertisseur. La régulation de la tension de sortie peut s'effectuer grâce à une technique de PSM (*Pulse-Skipped Modulation*). Cette technique consiste à mesurer la tension de sortie du convertisseur et à la comparer avec une tension cible (0.5V dans notre cas). Lorsque la tension de sortie dépasse la tension cible, les signaux d'horloge sont coupés et le convertisseur ne transfère plus de charges vers la sortie dont la tension va progressivement diminuer puisque la capacité C_{load} se décharge dans R_{load} . Ce mécanisme a été implémenté dans notre circuit à l'aide d'un bloc comportemental implémentant la fonction du comparateur. Il serait intéressant d'implémenter ce bloc au niveau transistor pour intégrer sa consommation dans l'évaluation du rendement de notre système.

- Des améliorations de la topologie *voltage doubler* existent : on peut par exemple utiliser des *level shifters* pour booster les signaux d'horloge et améliorer ainsi la conductance des switches [20]. Le mécanisme de *body bias* pourrait également être amélioré : dans [33], les auteurs proposent d'utiliser un *switching body bias*. Cela consiste à appliquer un *forward body bias* lorsque les transistors doivent être passants et un *reverse body bias* lorsque les transistors doivent être bloquants. Le courant ON est donc boosté et le courant OFF qui engendre des pertes est diminué. Ces deux méthodes pourraient être examinées plus en détails afin d'évaluer leur faisabilité dans notre cas ainsi que l'impact éventuel sur les performances de notre circuit.

Bibliographie

- [1] Gartner. (2014) Gartner says 4.9 billion connected “things” will be in use in 2015. press release. Consulté le 26-05-2015. [Online]. Available : <http://www.gartner.com/newsroom/id/2905717>
- [2] J. De Vos, “Switched-capacitor dc/dc converters in nanometer cmos technologies for micro-power energy management,” Ph.D. dissertation, Université Catholique de Louvain, 2013.
- [3] J. Kwong and A. Chandrakasan, “An energy-efficient biomedical signal processing platform,” *Solid-State Circuits, IEEE Journal of*, vol. 46, no. 7, pp. 1742–1753, July 2011.
- [4] M.-Z. Kuo, H. Hsieh, S. Dhong, P.-L. Yang, C.-C. Lin, R. Tseng, K. Huang, M.-J. Wang, and W. Hwang, “A 16kb tile-able sram macro prototype for an operating window of 4.8ghz at 1.12v vdd to 10 mhz at 0.5v in a 28-nm hkgm cmos,” in *Custom Integrated Circuits Conference (CICC), 2014 IEEE Proceedings of the*, Sept 2014, pp. 1–4.
- [5] J. Sauerbrey, D. Schmitt-Landsiedel, and R. Thewes, “A 0.5-v 1- mu ;w successive approximation adc,” *Solid-State Circuits, IEEE Journal of*, vol. 38, no. 7, pp. 1261–1265, July 2003.
- [6] J. Matiko, N. Grabham, S. Beeby, and M. Tudor, “Review of the application of energy harvesting in buildings,” *Measurement Science and Technology*, vol. 25, p. 012002, 2014, consulté le 26-05-2015. [Online]. Available : <http://stacks.iop.org/0957-0233/25/i=1/a=012002>
- [7] P. Mitcheson, E. Yeatman, G. Rao, A. Holmes, and T. Green, “Energy harvesting from human and machine motion for wireless electronic devices,” *Proceedings of the IEEE*, vol. 96, no. 9, pp. 1457–1486, Sept 2008.
- [8] J. Paradiso and T. Starner, “Energy scavenging for mobile and wireless electronics,” *Pervasive Computing, IEEE*, vol. 4, no. 1, pp. 18–27, Jan 2005.
- [9] W. Wang, “Thermoelectric energy harvesting for building energy management wireless sensor networks,” *International Journal of Distributed Sensor Networks*, vol. 2013, p. 14, 2013.
- [10] V. Leonov, “Energy harvesting for self-powered wearable devices,” in *Wearable Monitoring Systems*. Springer, 2011, pp. 27–49.
- [11] S. Lemey, F. Declercq, and H. Rogier, “Textile antennas as hybrid energy-harvesting platforms,” *Proceedings of the IEEE*, vol. 102, no. 11, pp. 1833–1857, Nov 2014.
- [12] *MPG-D751 Datasheet*, Micropelt, 2015, consulté le 25-05-2015. [Online]. Available : <http://micropelt.com/products/mypelt.php>
- [13] M. Makowski and D. Maksimovic, “Performance limits of switched-capacitor dc-dc converters,” in *Power Electronics Specialists Conference, 1995. PESC '95 Record., 26th Annual IEEE*, vol. 2, Jun 1995, pp. 1215–1221 vol.2.

- [14] G. Palumbo and D. Pappalardo, "Charge pump circuits : An overview on design strategies and topologies," *Circuits and Systems Magazine, IEEE*, vol. 10, no. 1, pp. 31–45, First 2010.
- [15] P. Perez-Nicoli, P. Castro, and F. Silveira, "A series-parallel switched capacitor step-up dc-dc converter and its gate-control circuits for over the supply rail switches," in *Circuits and Systems (LASCAS), 2014 IEEE 5th Latin American Symposium on*, Feb 2014, pp. 1–4.
- [16] V. Saxena. (2010) Charge pump design. Boise State University. Consulté le 26-05-2015. [Online]. Available : <http://www.lumerink.com/courses/ece5410/Handouts/Charge.Pump.Design.pdf>
- [17] J. Dickson, "On-chip high-voltage generation in mnos integrated circuits using an improved voltage multiplier technique," *Solid-State Circuits, IEEE Journal of*, vol. 11, no. 3, pp. 374–378, Jun 1976.
- [18] G. Palumbo and D. Pappalardo, "Charge pump circuits : An overview on design strategies and topologies," *Circuits and Systems Magazine, IEEE*, vol. 10, no. 1, pp. 31–45, First 2010.
- [19] I. Doms, P. Merken, C. Van Hoof, and R. Mertens, "Capacitive power management circuit for micropower thermoelectric generators with a 1.4 μ a controller," *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 10, pp. 2824–2833, Oct 2009.
- [20] P. Favrat, P. Deval, and M. Declercq, "A high-efficiency cmos voltage doubler," *Solid-State Circuits, IEEE Journal of*, vol. 33, no. 3, pp. 410–416, Mar 1998.
- [21] (2015) Convertisseur boost. [Online]. Available : http://fr.wikipedia.org/wiki/Convertisseur_Boost
- [22] E. Carlson, K. Strunz, and B. Otis, "A 20 mv input boost converter with efficient digital control for thermoelectric energy harvesting," *Solid-State Circuits, IEEE Journal of*, vol. 45, no. 4, pp. 741–750, April 2010.
- [23] Y. Ramadass and A. Chandrakasan, "A battery-less thermoelectric energy harvesting interface circuit with 35 mv startup voltage," *Solid-State Circuits, IEEE Journal of*, vol. 46, no. 1, pp. 333–341, Jan 2011.
- [24] C. Lu, S. P. Park, V. Raghunathan, and K. Roy, "Efficient power conversion for ultra low voltage micro scale energy transducers," in *Design, Automation Test in Europe Conference Exhibition (DATE), 2010*, March 2010, pp. 1602–1607.
- [25] P.-H. Chen, K. Ishida, X. Zhang, Y. Okuma, Y. Ryu, M. Takamiya, and T. Sakurai, "A 120-mv input, fully integrated dual-mode charge pump in 65-nm cmos for thermoelectric energy harvester," in *Design Automation Conference (ASP-DAC), 2012 17th Asia and South Pacific*, Jan 2012, pp. 469–470.
- [26] C. Ulaganathan, B. Blalock, J. Holleman, and J. Britton, C.L., "An ultra-low voltage self-startup charge pump for energy harvesting applications," in *Circuits and Systems (MWSCAS), 2012 IEEE 55th International Midwest Symposium on*, Aug 2012, pp. 206–209.
- [27] P.-H. Chen, K. Ishida, X. Zhang, Y. Okuma, Y. Ryu, M. Takamiya, and T. Sakurai, "0.18-v input charge pump with forward body biasing in startup circuit using 65nm cmos," in *Custom Integrated Circuits Conference (CICC), 2010 IEEE*, Sept 2010, pp. 1–4.
- [28] M. Seeman and S. Sanders, "Analysis and optimization of switched-capacitor dc-dc converters," *Power Electronics, IEEE Transactions on*, vol. 23, no. 2, pp. 841–851, March 2008.

- [29] D. Bol. (2015) Digital ic libraries. Univesité Catholique de Louvain. [Online]. Available : <http://perso.uclouvain.be/david.bol/teaching.html>
- [30] A. Ortiz-Conde, F. G. Sánchez, J. Liou, A. Cerdeira, M. Estrada, and Y. Yue, “A review of recent mosfet threshold voltage extraction methods,” *Microelectronics Reliability*, vol. 42, no. 4–5, pp. 583 – 596, 2002. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0026271402000276>
- [31] R. J. Baker, *CMOS : circuit design, layout, and simulation*. John Wiley & Sons, 2011, vol. 18.
- [32] N. H. Weste and K. Eshraghian, *Principles of CMOS VLSI design*. Addison-Wesley Reading, MA, 1993, vol. 2.
- [33] J. Kim, P. Mok, and C. Kim, “23.1 a 0.15v-input energy-harvesting charge pump with switching body biasing and adaptive dead-time for efficiency improvement,” in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2014 IEEE International*, Feb 2014, pp. 394–395.
- [34] A. Cabrini, L. Gobbi, and G. Torelli, “Design of maximum-efficiency integrated voltage doubler,” in *Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on*, May 2007, pp. 317–320.
- [35] D. Baderna, A. Cabrini, G. Torelli, and M. Pasotti, “Efficiency comparison between doubler and dickson charge pumps,” in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, May 2005, pp. 1891–1894 Vol. 2.
- [36] *CMOS065 technology GPLVT MOS Transistor models*, ST Microelectronics, 2008.
- [37] B. Razavi, *Design of Analog CMOS Integrated Circuits*, 1st ed. New York, NY, USA : McGraw-Hill, Inc., 2001.
- [38] R. Saleh. (2014) Lecture 6 : Leakage and low-power design. Univesity of British Columbia. Consulté le 26-05-2015. [Online]. Available : <http://courses.ece.ubc.ca/579/579.lect6.leakagepower.08.pdf>
- [39] N. Kim, T. Austin, D. Baauw, T. Mudge, K. Flautner, J. Hu, M. Irwin, M. Kandemir, and V. Narayanan, “Leakage current : Moore’s law meets static power,” *Computer*, vol. 36, no. 12, pp. 68–75, Dec 2003.
- [40] J. Kim, P. Mok, and C. Kim, “A 0.15 v input energy harvesting charge pump with dynamic body biasing and adaptive dead-time for efficiency improvement,” *Solid-State Circuits, IEEE Journal of*, vol. 50, no. 2, pp. 414–425, Feb 2015.
- [41] “Ee130 lecture 26 : Short channel effects,” Berkeley University, 2003, consulté le 26-05-2015. [Online]. Available : <http://www-inst.eecs.berkeley.edu/~ee130/sp03/lecture/lecture27.pdf>
- [42] T.-H. Kim, H. Eom, J. Keane, and C. Kim, “Utilizing reverse short channel effect for optimal subthreshold circuit design,” in *Low Power Electronics and Design, 2006. ISLPED’06. Proceedings of the 2006 International Symposium on*, Oct 2006, pp. 127–130.
- [43] (2015) The mosfet transistor in subthreshold. Consulté le 26-05-2015. [Online]. Available : <http://www.onmyphd.com/?p=mosfet.subthreshold.model>

Annexe A

Études complémentaires

A.1 Considérations sur le *matching* d'impédance

Pour étudier le transfert de puissance depuis une source de tension vers une charge, il est nécessaire de considérer le rapport d'impédance R_s/R_l entre les deux éléments (R_s étant la résistance interne de la source et R_l la charge). Le rendement du transfert est optimisé si l'impédance de source est négligeable par rapport à celle de la charge alors que c'est la puissance transférée qui est maximisée lorsque les deux impédances sont identiques.

Dans notre application, le transfert de puissance se fait depuis le TEG, dont la résistance interne est 400Ω , vers une charge de $100k\Omega$. Le convertisseur est placé en série entre la source et la charge et il est modélisable (de manière simplifiée) par la mise en série d'une résistance et un transformateur continu idéal de rapport de conversion N . Pour considérer le *matching* d'impédance, la résistance du convertisseur doit être comptabilisée dans la résistance série du TEG : celle-ci dégrade la tension appliquée à la charge en consommant une partie de l'énergie fournie par la source. La mise en cascade de la source, le convertisseur et la charge est modélisée comme sur la figure A.1 (avec $R_s = R_{int} + R_{conv}$ et $R_l = 100k\Omega$) :

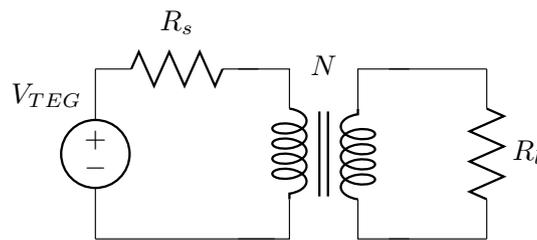


FIGURE A.1 – Schéma équivalent de la chaîne TEG - convertisseur - charge.

Pour optimiser le **rendement** de conversion, la résistance de charge ramenée au primaire du transformateur doit être bien plus grande que la mise en série du convertisseur et de la résistance interne. Par conséquent, il nous faut dimensionner le convertisseur avec l'impédance la plus faible possible et un rapport de transformation le plus faible possible permettant d'atteindre 0.5V en sortie.

$$R_s \ll \frac{R_l}{N^2} \quad (\text{A.1})$$

Pour d'optimiser l'**amplitude** du transfert de puissance tout en garantissant 0.5V en sortie, il faut atteindre l'égalité entre l'impédance de source et l'impédance

de charge (A.2). La puissance de sortie est d'autant plus grande que la résistance R_s est faible puisque cela permet d'avoir une résistance de charge plus petite et donc un courant plus important pour une même tension de sortie.

$$R_s \simeq \frac{R_l}{N^2} \quad (\text{A.2})$$

Pour résumer, que l'on optimise le rendement ou que l'on maximise la puissance transférée, il faut dans tous les cas, minimiser la résistance série équivalente du convertisseur de tension. Idéalement, il faudrait que le convertisseur ait une résistance série du même ordre de grandeur que la résistance interne du TEG. Malheureusement, compte tenu du régime de fonctionnement des transistors, cela est impossible à atteindre. Aussi, étant donné que le cahier des charges nous impose une puissance de sortie minimale : (la charge est fixée à $100k\Omega$) il nous semble plus judicieux de chercher à optimiser le rendement du circuit, sous contrainte que la puissance de sortie est suffisante.

A.2 Méthode de dimensionnement - Cabrini

A.2.1 Introduction

Dans leur article [34], les auteurs proposent une méthodologie de design théorique développée spécialement pour le *voltage doubler*. Cette méthodologie consiste à parcourir tout l'espace de design pour calculer l'impédance de sortie Z_{OUT} du circuit ainsi que le rendement [35] de ce dernier. Le temps mis pour parcourir tout l'espace est significativement plus court qu'en utilisant un outil de simulation. Une fois que tout l'espace a été parcouru, il ne reste plus qu'à sélectionner le choix de paramètres qui permet d'atteindre le niveau de tension V_{OUT} suffisant avec le meilleur rendement.

A.2.2 Expression de V_{OUT}

Considérons un circuit composé de N doubleurs de tension alimentés par une source de tension V_{DD} , débitant un courant de sortie I_{OUT} et ayant pour impédance de sortie Z_{OUT} . L'expression de la tension de sortie est la suivante :

$$V_{OUT} = GV_{DD} - Z_{OUT}I_{OUT} \quad (\text{A.3})$$

Dans cette expression, G est le gain en tension du convertisseur. Théoriquement, sa valeur est proche de $N + 1$. En réalité, le transfert de charges d'étage en étage ne se fait pas parfaitement à cause des capacités parasites. Lorsqu'une capacité de transfert se décharge, les capacités parasites, associées aux transistors et à la capacité de transfert, absorbent une partie des charges destinées à la capacité de transfert de l'étage suivant.

Le gain G dépend donc des capacités parasites associées aux transistors et aux capacités de transfert. Ces capacités parasites sont habituellement scindées en deux parties et exprimées en fonction de la capacité de transfert C_t : α et β . En ce qui concerne α , ce sont les capacités parasites associées au nœud inférieur des capacités de transfert qui sont considérées. Pour le β , ce sont les capacités associées au nœud supérieur qui sont prises en compte.

Dans l'expression de G c'est ce facteur β qui intervient puisqu'il donne une image du rapport entre les charges qui circulent dans les capacités parasites et les charges utiles. L'expression de G prend la forme suivante :

$$G = 1 + \frac{N}{1 + \beta} \quad (\text{A.4})$$

A.2.3 Expression de Z_{OUT}

Dans l'expression A.3, le terme Z_{OUT} représente l'impédance de sortie du convertisseur, tout comme elle a été définie dans [28]. Pour cette méthodologie, les auteurs proposent d'unifier les deux impédances en SSL et en FSL en utilisant la fonction cotangente hyperbolique. La fonction $\coth(x)$ possède la particularité de tendre vers 1 lorsque $x \rightarrow \infty$ et de tendre vers $1/x$ lorsque $x \rightarrow 0$. L'expression de Z_{OUT} est donnée par l'équation A.5.

$$Z_{OUT} = \frac{N}{2fC_t(1 + \beta)} \coth\left(\frac{T_{ON}}{R_{ON}C}\right) \quad (\text{A.5})$$

On retrouve bien évidemment les deux impédances asymptotiques développées plus tôt, à savoir Z_{SSL} et Z_{FSL} . La seule différence avec ce qui a été introduit plus tôt est la prise en compte des capacités parasites dans le calcul du transfert de charges vers la sortie (terme β).

$$\text{Si } f \rightarrow 0, Z_{OUT} = \frac{N}{2fC_t(1 + \beta)} \quad (\text{A.6})$$

$$\text{Si } f \rightarrow \infty, Z_{OUT} = \frac{NR_{ON}}{(1 + \beta)} \quad (\text{A.7})$$

Dans ces expressions, R_{ON} représente la résistance totale série vue par les capacités de transfert lors d'un cycle de charge/décharge. Il faut prendre en compte la résistance ON des transistors NMOS et PMOS ainsi que la résistance des transistors composant les drivers. Les auteurs de l'article nous proposent de calculer l'impédance des différents transistors en utilisant l'expression du courant qu'ils véhiculent pour une tension V_{DS} appliquée à leur bornes.

$$R_{ON,i} = \frac{1}{K'_i V_{OV,i} (W_i/L)} \quad (\text{A.8})$$

Dans cette expression, K'_i et V_{OV} représentent respectivement $\mu C_{ox}/2$ et la tension d'overdrive du transistor en question. Malheureusement, cette expression est valable uniquement lorsque le transistor fonctionne en régime saturé. Comme notre circuit fonctionne sous seuil, il nous faut donc adapter la manière de calculer de la résistance des transistors. Les auteurs calculent le terme V_{OV} comme suit :

$$V_{OV,D} = V_{DD} - V_{th} \quad (\text{A.9})$$

$$V_{OV,S} = V_{DD} - V_{th} - \Delta V \quad (\text{A.10})$$

Dans ces expressions, $V_{OV,D}$ et $V_{OV,S}$ représentent respectivement les tensions d'overdrive des drivers et des switches. Le terme ΔV , quant à lui, correspond bien au terme introduit précédemment dans l'équation 1.8. Connaissant la tension d'overdrive des transistors, on peut extraire la tension V_{GS} appliquée aux différents transistors¹. Dès lors, à partir de ces niveaux de tension, et sur base d'une lookup table, on peut connaître exactement la résistance ON des transistors. Malheureusement, cette manière de calculer la résistance ON possède une limitation majeure : l'estimation de la tension V_{GS} est la moyenne de la tension sur le cycle de charge/décharge. En réalité, la tension V_{GS} évolue entre V_{IN} et $V_{IN} - 2\Delta V$ durant le cycle. Puisque la résistance des switches en régime sous seuil évolue exponentiellement avec V_{GS} , évaluer cette tension en utilisant sa valeur moyenne semble être une forte approximation. Idéalement, il faudrait intégrer la résistance sur le cycle et diviser la valeur obtenue par la durée totale de ce dernier.

$$V_{GS,D} = V_{IN} \quad (\text{A.11})$$

$$V_{GS,S} = V_{IN} - \Delta V \quad (\text{A.12})$$

Jusqu'à présent, cette manière de calculer le terme R_{ON} semble très séduisante. Il faut cependant relativiser les choses. Sur la figure A.2, nous avons tracé les valeurs de ΔV et V_{GS} en fonction du courant débité par le convertisseur. La valeur théorique est représentée en noir alors que les résultats de mesures sur circuit correspondent aux

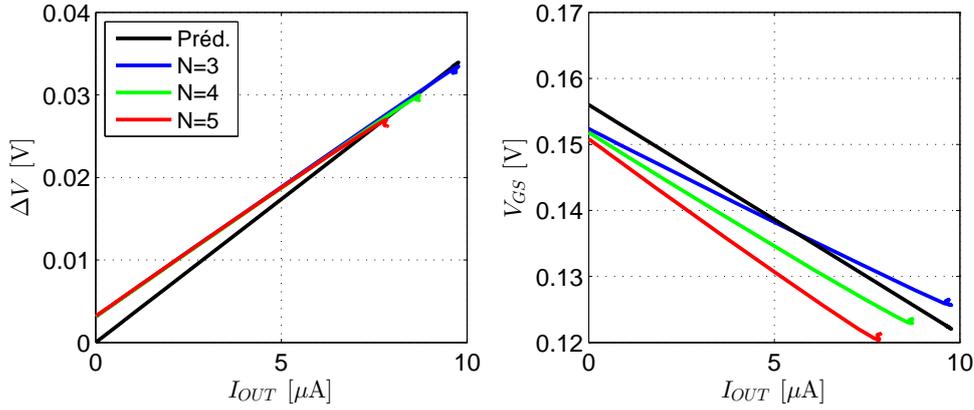


FIGURE A.2 – $N = 3, 4, 5$; $f = 1.44MHz$; $C_t = 100pF$.

courbes de couleur. Ces différentes couleurs correspondent à des nombres d'étages compris entre 3 et 5.

On constate que l'estimation de ΔV est très proche des observations sur le circuit réel. De plus, pour un courant de sortie proche de $5\mu A$, l'estimation colle presque parfaitement à la réalité, quel que soit le nombre d'étages utilisés. Pour l'estimation de V_{GS} , c'est plus compliqué. En effet, la tension V_{GS} varie au cours du cycle d'environ $2\Delta V$. Or, l'algorithme utilise une tension moyenne, celle qu'on représente sur la figure A.2. Pour un courant $I_{OUT} = 5\mu A$, on observe une variation de $10mV$ entre la moyenne de V_{GS} pour $N = 3$ et $N = 5$. Cette petite variation a tout de même pour effet une modification de 30% sur la valeur de résistance du transistor.

Une fois que l'expression des résistances est connue en fonction du régime de fonctionnement. On peut calculer la résistance totale R_{ON} qui est la somme des quatre résistances en série. Arbitrairement, on fixe les résistances ON des switches et des drivers égales entre elles.

$$R_{ON} = 2(R_{driv} + R_{sw}). \quad (A.13)$$

A.2.4 Expression du rendement

L'expression du rendement donnée par les auteurs est identique à l'expression du rendement introduite plus tôt, mais s'écrit en intégrant les deux facteurs α et β [35]. Cette expression est directement utilisée dans l'algorithme.

$$\eta = \frac{V_{DD}I_{OUT}(N + 1 + \beta) - Z_{OUT}I_{OUT}^2}{V_{DD}I_{OUT}(N + 1 + \beta) + (\alpha + \beta)(1 + \beta)NfC_tV_{DD}^2} \quad (A.14)$$

1. En effet, $V_{OV} = V_{GS} - V_{th}$

A.2.5 Algorithme

L'algorithme proposé par les auteurs consiste à tester toutes les combinaisons de paramètres dans un espace de design. Le choix des paramètres permet de calculer le terme Z_{OUT} à partir de l'équation A.5. Ensuite, connaissant le courant I_{OUT} imposé, on calcule le niveau de tension de sortie avec A.3. Si cette dernière est supérieure ou égale à $V_{OUT,target}$, on calcule le rendement associé à ce point particulier et on sauvegarde le point. Finalement, il suffit de sélectionner le choix des paramètres qui donne le meilleur rendement parmi les points acceptables au sens de la puissance de sortie.

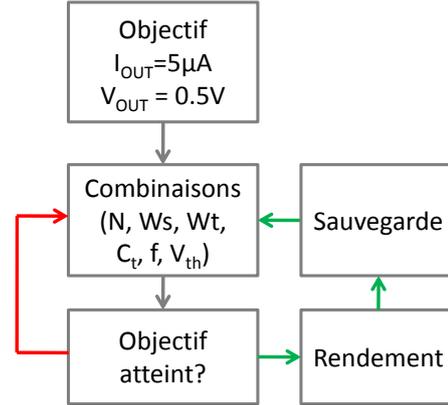


FIGURE A.3 – Algorithme Cabrini.

A.2.6 Limitations

A.2.6.A Précision - V_{GS} - α - β

Comme on l'a vu plus tôt, l'évaluation de la résistance ON des transistors n'est pas parfaite. On a vu que l'estimation de la tension V_{GS} aux bornes des transistors est toujours légèrement différente des observations sur circuit.

En ce qui concerne l'évaluation des facteurs α et β , on se réfère aux datasheet de nos transistors [36]. Pour un LVTGP, on a une capacité parasite $C_{gg} = 15.3fF/W$ @ $L = 60nm$. Étant donné que quatre transistors sont situés à chaque nœud étudié, on a une capacité parasite de $61.2fF/W$. La contribution des capacités de transfert est de 0.4% de la valeur de capacité utilisée dans le cas des capacités MiM en 65nm [2]. Avec ces informations, il est possible de calculer α et β pour tous les choix de dimensions de transistors et de capacités de transfert.

A.2.6.B Source non idéale - R_{int}

La résistance interne du convertisseur est non négligeable et en régime, le circuit soutire typiquement $5\mu W$ à la source. Cela implique une chute de tension de l'ordre de $10mV$ sur la résistance interne du TEG. Pour prendre en compte cette chute de tension, on calcule V_{IN} sur base du rendement du circuit et des niveaux de tensions à l'entrée et la sortie. La convergence est rapide et seules quelques itérations sont nécessaires.

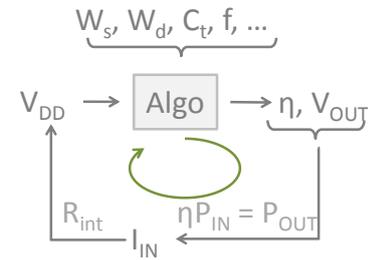


FIGURE A.4 – Calcul de V_{IN} .

A.2.7 Résultats

Depuis le début de ce travail, nous avons constaté que l'impédance de sortie est une caractéristique cruciale pour les convertisseurs étudiés. Cette dernière nous donne une image de la puissance que le circuit peut fournir. Dès lors, en comparant les impédances Z_{OUT} théoriques et réelles mesurées sur circuit, on peut rapidement

évaluer la précision de l’algorithme de modélisation théorique.

Afin de se fixer les dimensions des transistors, la fréquence d’horloge et la taille des capacités utilisées pour ce test, on observe la distribution des paramètres qui permettent d’atteindre une tension de 0.5V en sortie et on représente le niveau des rendements associés à ces choix. Sur la figure A.5, on place un point pour chaque choix de paramètre permettant d’atteindre 0.5V et la couleur associée à ce point représente son rendement. Ce type de graphique nous permet uniquement d’extraire une tendance générale pour le choix des paramètres. Pour le couple fréquence ; capacité de transfert, il existe une zone elliptique située pour un produit fréquence/capacité constant égal à $2.75e-4 [\Omega^{-1}]^2$. On choisit arbitrairement une capacité de transfert de 50pF avec une fréquence de 1MHz. En ce qui concerne les dimensions des transistors, on observe un optimum pour des dimensions proches de $W_n = 50\mu\text{m}$ pour les switches et $W_n = 200\mu\text{m}$ pour les drivers.

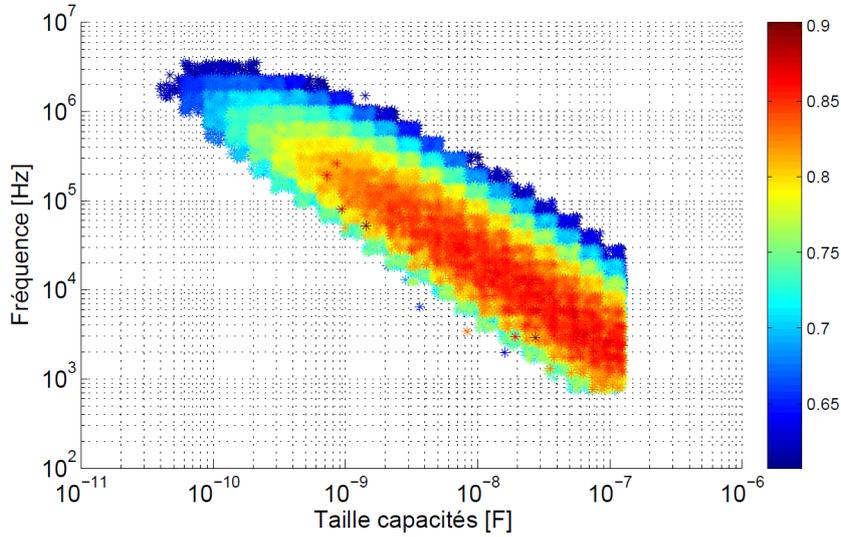


FIGURE A.5 – $N = 3, 4, 5$; $f = 1.44\text{MHz}$; $C_t = 100\text{pF}$.

Pour le point de fonctionnement récemment décrit, on trace les courbes de Z_{OUT} pour différents choix de capacités et différentes tailles de switches. Les résultats sont donnés sur la figure A.6. À gauche, on fait varier la taille des capacités de transfert : avec une taille de capacité de transfert plus petite, la fréquence seuil du passage de la SSL à la FSL est supérieure. Cette tendance est vérifiée aussi bien par simulation qu’avec la modélisation. À droite, on fait varier la taille des switches. A nouveau, la tendance est bien identique pour la simulation et la modélisation : l’impédance Z_{OUT} minimale est bien inférieure pour un choix plus grand de W et la fréquence qui permet d’atteindre Z_{OUT} minimale augmente avec W .

Comparons ensuite les courbes théoriques obtenues par l’algorithme de Cabrini et les courbes mesurées sur testbench. Pour des fréquences de fonctionnement élevées (en zone FSL), les courbes sont semblables : la fréquence seuil et le niveau d’impédance sont similaires. Par contre, pour des fréquences de fonctionnement plus faibles, les courbes deviennent sensiblement différentes : la pente de Z_{OUT} est bien plus marquée avec la modélisation théorique qu’elle ne l’est sur le testbench. D’ailleurs la pente observée sur testbench est proche de $-f^3$, la valeur

2. $[\text{Hz}\cdot\text{C}/\text{V}] = [\text{A}/\text{V}] = [1/\Omega]$

3. Dans le repère logarithmique

théorique attendue. L'algorithme étudié surestime donc l'impédance Z_{OUT} en SSL. Pour comprendre ce phénomène, il faut remettre en question le choix que font les auteurs lorsqu'ils imposent le courant de sortie I_{OUT} . Pour certains choix de couple fréquence/capacité, imposer un courant de sortie implique une oscillation en tension ΔV aux bornes de capacités qui est supérieure à la tension d'alimentation du circuit. Cela n'a évidemment pas de sens et interpréter les résultats de l'algorithme n'a pas de sens non plus.

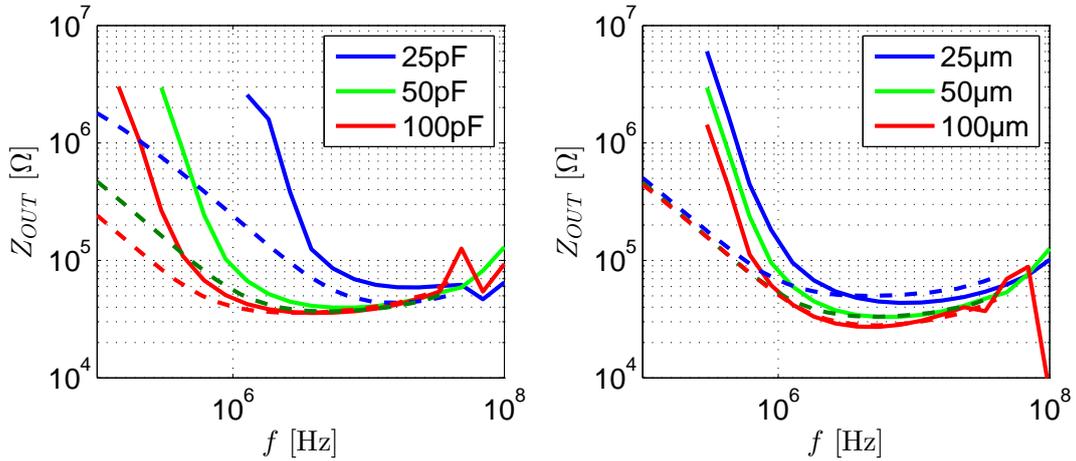


FIGURE A.6 – $N = 3, 4, 5$; $f = 1.44MHz$; $C_t = 100pF$.

Quelle information tirer de l'algorithme de dimensionnement étudié ?

Mis à part les ordres de grandeurs fournis par l'algorithme, il est difficile de tirer une information précise quant au dimensionnement optimal du convertisseur. L'algorithme nous donne les ordres de grandeur des paramètres qui permettent de rendre le circuit fonctionnel. Par contre, l'algorithme montre ses faiblesses en terme de précision sur le calcul de Z_{OUT} et par conséquent sur l'estimation de V_{OUT} ainsi que celle du rendement. Dès lors, il ne nous permettra donc pas de réaliser une optimisation complète du dimensionnement. À titre d'exemple, nous avons construit un testbench paramétré selon le dimensionnement optimal fourni par l'algorithme et nous avons comparé les performances annoncées aux performances réellement mesurées. Le rendement et la tension de sortie sont tous les deux surestimés.

| Rendement | | Vout | |
|------------|--------|------------|--------|
| Prédiction | Mesure | Prédiction | Mesure |
| 68.1% | 40.6% | 568mV | 445mV |

TABLE A.1 – Comparaison - performances annoncée/testbench.

A.3 Effet de substrat

L'effet de substrat ou *body effect* est un effet de second ordre qui peut influencer grandement les performances des transistors MOS. Cet effet est lié à la différence de potentiel entre le substrat et la source V_{SB} . Prenons l'exemple d'un transistor NMOS dont la source est mise à la masse. Au plus la tension V_B est négative, au plus de trous seront attirés vers la connexion du substrat. Cela a pour effet d'accumuler une plus grande quantité d'électrons dans la zone de déplétion : figure A.7.

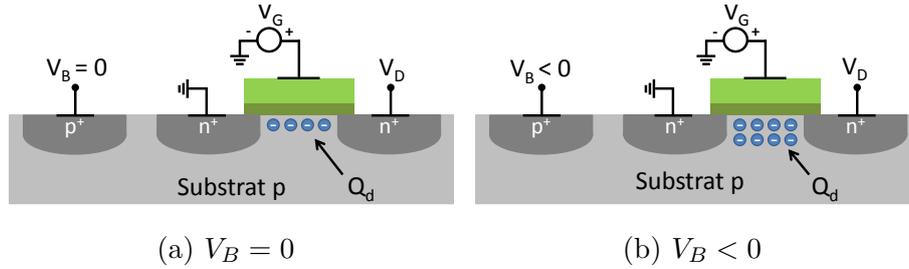


FIGURE A.7 – Variation de la charge dans la zone de déplétion en fonction de V_B .

Or la tension de seuil V_{TH} d'un transistor dépend de la quantité de charges Q_{dep} dans la zone de déplétion. La charge sur la grille du transistor devra, en effet, équilibrer cette charge Q_{dep} pour créer une zone d'inversion qui permettra la circulation d'un courant dans le transistor MOS [37]. Au final, plus la tension V_B sera négative, plus la tension de seuil augmentera. Cette tension de seuil peut également être exprimée en fonction de V_{SB} :

$$V_{TH} = V_{TH0} + \gamma \sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|\Phi_F|} \quad (\text{A.15})$$

Où V_{TH0} est donné par $\Phi_{MS} + 2\Phi_F + \frac{Q_{dep}}{C_{ox}}$. γ est le paramètre de body effect, dépendant de la technologie, Φ_F et Φ_{MS} sont des travaux de sortie dépendant des matériaux.

Dans le cas d'un NMOS, appliquer une tension V_{SB} positive augmentera la tension de seuil du transistor : c'est le *reverse body biasing*. Au contraire, pour un V_{SB} négatif, V_{th} diminue, c'est le *forward body biasing*.

La diminution de la tension de seuil par *forward body biasing* permet d'augmenter le courant dans un transistor lorsqu'il est passant. Cependant, cela a également pour effet d'augmenter le courant de fuite sous seuil qui dépend exponentiellement de la tension de seuil : $I_{sub} \propto I_0 e^{\frac{-V_{TH}}{nkT/q}}$. [38] Pour des circuits à faible tension d'alimentation la consommation statique associée à ce courant de fuite peut même devenir supérieure à la consommation dynamique [39]. Certains circuits implémentent un mécanisme de bias adaptatif [40] : les transistors sont mis en *forward body biasing* ou en *reverse body biasing* suivant le moment où ils doivent être respectivement passants ou bloquants. Il est donc possible de tirer parti des 2 effets au prix d'une logique de contrôle supplémentaire.

Un élément important à noter est que le *forward body bias* ne peut se faire sans limites. La tension V_{SB} minimale applicable est en effet restreinte par la présence de la diode parasite associée à la jonction PN entre la source et le substrat : figure A.8.

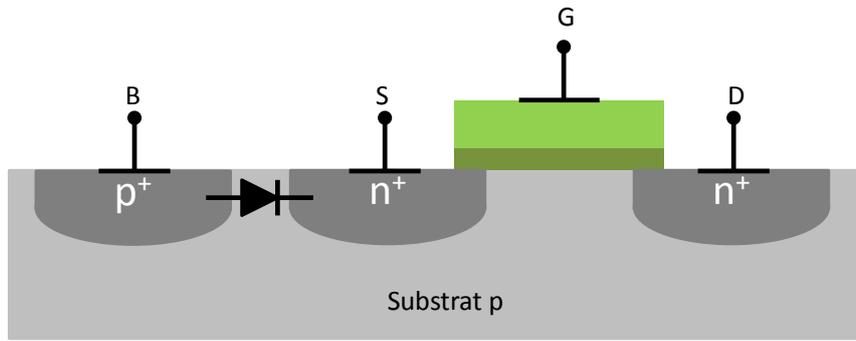


FIGURE A.8 – Vue transversale d’un NMOS : diode parasite entre la source et le substrat.

La tension V_{BS} appliquée aux bornes de cette diode ne doit pas dépasser sa tension de seuil. Au delà de cette tension de seuil, la diode devenue passante débiterait un courant important entre le substrat et la source. Ce courant n’est pas contrôlable par la tension de grille et peut menacer le bon fonctionnement d’un circuit.

Nous avons déterminé la tension de seuil de cette diode parasite pour les NMOS et les PMOS dans la technologie GP 65nm que nous utilisons. Nous avons pour cela observé la valeur du courant dans la source des transistors : on distingue clairement la tension pour laquelle la diode parasite devient passante et les courants débités sont de l’ordre de l’ampère ! La tension de seuil se situe aux alentours de 0.9-1.0 V aussi bien pour les NMOS que pour les PMOS (voir figure A.9). Dans notre convertisseur, le courant de fuite de cette diode atteint l’ordre de grandeur des courants utiles du convertisseur pour une tension V_{BS} supérieure ou égale à environ 700mV (voir figure A.10). Le fonctionnement du circuit est donc dégradé dès que V_{BS} s’approche de 700mV puisqu’une partie non négligeable des charges est envoyé à la masse en passant par le substrat plutôt que vers les étages supérieures du convertisseur.

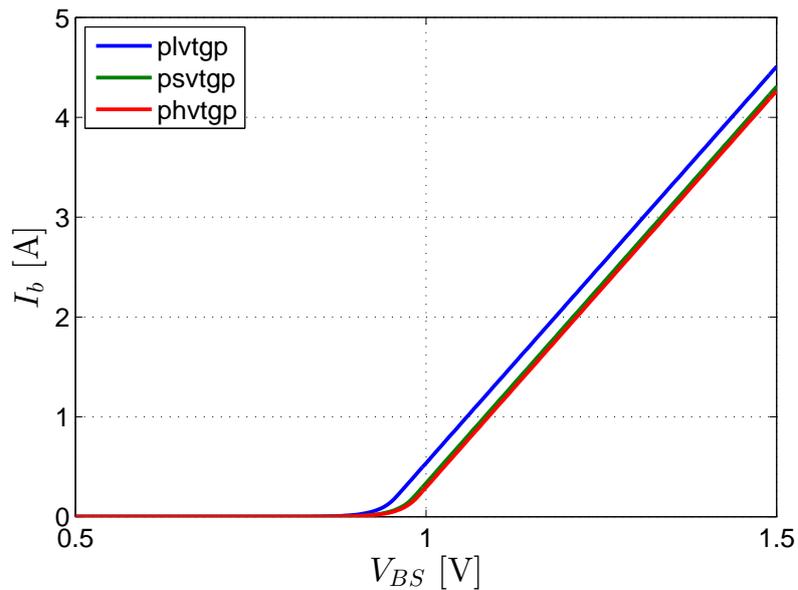


FIGURE A.9 – Courant dans le substrat du transistor.

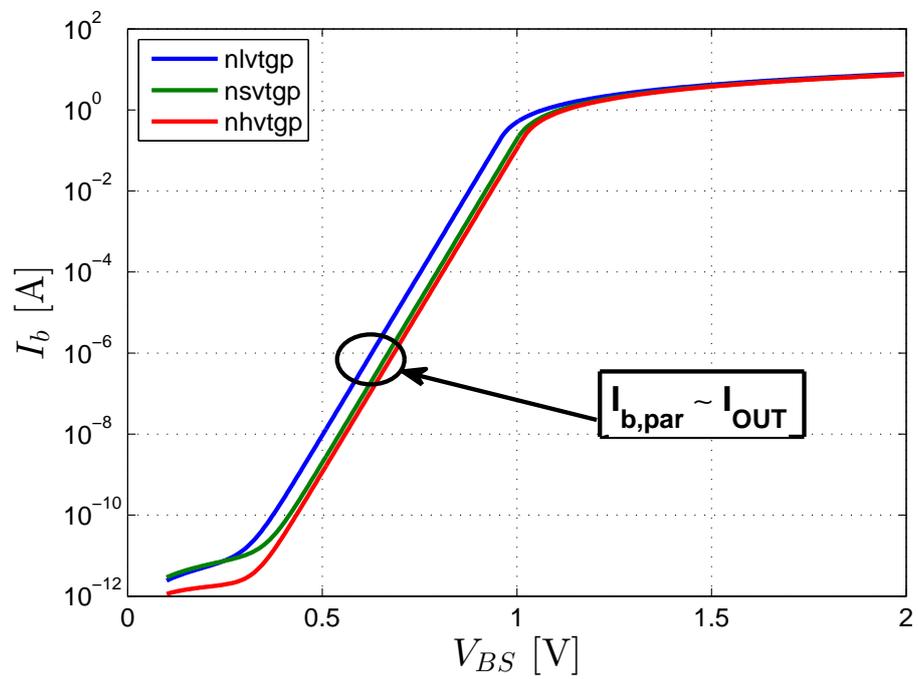


FIGURE A.10 – Courant dans le substrat du transistor.

A.4 Effet de canal court

Pour les technologies avancées, la tension de seuil varie avec la longueur de transistor et par conséquent cette dernière a un impact très important sur le courant de drain lorsque le transistor est en régime sous-seuil ($I_d \propto e^{-V_{th}}$). Lorsque la tension V_{DS} est faible⁴, la zone de déplétion est telle qu'on le représente sur la figure A.11, elle empiète légèrement sous l'oxyde de grille. Par contre, lorsque la tension V_{DS} augmente, cette zone de déplétion s'agrandit et tend à occuper une partie non négligeable de la zone située sous grille (voir fig. A.12). Dès lors, pour un même niveau de tension appliqué à la grille, la quantité de charge à attirer de manière à créer une zone de déplétion sous la grille est moindre. Cela revient à considérer que la tension de seuil du transistor est plus faible : pour une même tension appliquée à la grille, il est plus facile de construire le canal [41]. Ce phénomène est appelé le DIBL (*Drain-Induced Barrier Lowering*), c'est un des mécanismes de *Short Channel Effect* qui ont tous pour effet de diminuer la tension seuil des transistors lorsque L diminue.

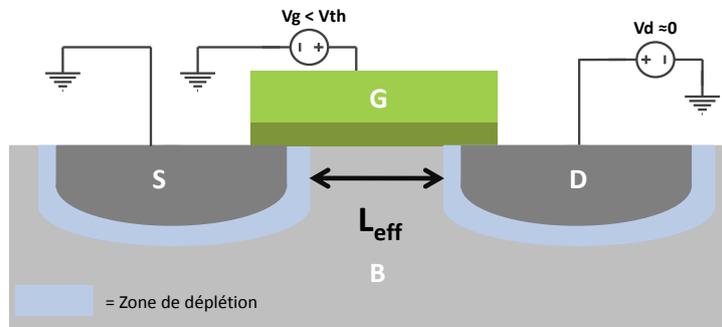


FIGURE A.11 – Si V_{DS} est faible.

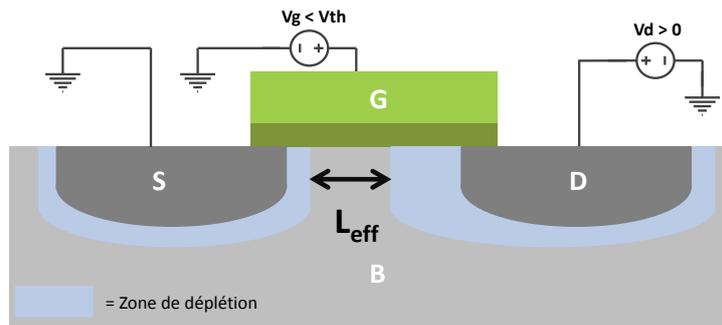


FIGURE A.12 – Si V_{DS} est plus grand.

Pour contrer l'effet du DIBL, on réalise un dopage non régulier du substrat en injectant des trous supplémentaires dans les zones proches de la source et du drain. De cette manière, on réduit la zone de déplétion associée au drain et à la source, ce qui permet de limiter l'effet de l'augmentation de la tension V_{DS} sur la tension de seuil du transistor. Ce dopage supplémentaire est réalisé de sorte que, pour un fonctionnement *normal* (à tensions nominales) du transistor, l'effet de ce dopage supplémentaire contrebalance parfaitement l'effet du DIBL. Au fur et à mesure que la

4. C'est le cas dans notre circuit lorsque les transistors sont passant.

longueur de grille augmente, l'effet de ces injections supplémentaires est de moins en moins prononcé étant donné que le dopage moyen résiduel est dominé par le dopage *de base* du substrat. De ce fait, lorsque L augmente, le dopage moyen diminue ce qui a pour effet de diminuer la tension de seuil du transistor. Cet effet est appelé le *Reverse Short Channel Effect* (RSCE) [42].

Dans le cas particulier de notre convertisseur, la tension V_{DS} est faible. Par conséquent, le phénomène du DIBL n'apparaît pas au sein de nos transistors. Par contre, le dopage supplémentaire pour contrer cet effet, est lui, toujours présent. Dès lors, à mesure que L augmente, on réduit bien la tension de seuil de notre transistor. Cependant, lorsque L devient trop grand, la modification de L est de moins en moins importante et ce sont les effets classiques qui limitent le courant au sein du transistors ($I_d \propto W/L$).

A.5 Capacités parasites

Dans les transistors de type MOS, on dénombre une série de capacités parasites qui interviennent dans le bilan énergétique de notre convertisseur. L'expression de ces capacités parasites varie suivant le mode de fonctionnement du transistor (niveau de saturation). Si pour un régime saturé c'est la capacité C_{GS} qui domine, ce n'est plus le cas en régime sous-seuil. Sur la figure ci-dessous, les capacités parasites du transistor sont représentées [37].

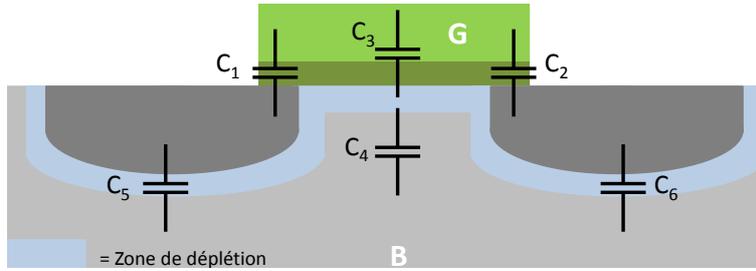


FIGURE A.13 – Capacités parasites associées au transistor MOS.

Les capacités C_1 et C_2 sont les capacités de recouvrement de la grille sur le drain et la source, elles dépendent uniquement de la largeur du transistor ($= C_{ov}W$). La capacité C_3 est la capacité d'oxyde entre la grille et le canal, son expression dépend de la surface de la grille ($= C_{ox}WL$). C_4 est la capacité parasite de déplétion entre le canal et le substrat, cette dernière n'a pas de sens en régime saturé à cause de l'existence du canal qui fait écran entre elle et le transistor. Finalement, C_5 et C_6 sont les capacités de déplétion entre la source (et drain) et le body ($\propto W$). Afin que l'on puisse tirer une information utile de cette liste de capacités, il faut encore lier ces dernières aux capacités conventionnelles (C_{GS} , C_{GD} , C_{GB} , C_{DS} , C_{SB} et C_{DB}).

C_{GS} et C_{GD}

En présence d'un canal (régime saturé ou triode) C_{GS} et C_{GB} sont la mise en parallèle des capacités de recouvrement (C_1 & C_2) et la capacité d'oxyde (C_3). Selon le régime de fonctionnement du transistor (et par conséquent, en fonction de la distribution du canal le long de L), on a

$$C_{GS} = \begin{cases} C_{ov}W + \frac{2}{3}WLC_{ox} & \text{en saturation} \\ C_{ov}W + \frac{1}{2}WLC_{ox} & \text{en triode} \end{cases}$$

$$C_{GD} = \begin{cases} C_{ov}W & \text{en saturation} \\ C_{ov}W + \frac{1}{2}WLC_{ox} & \text{en triode} \end{cases}$$

En régime sous seuil, l'absence de canal n'implique plus que la source et le canal sont au même potentiel et ces deux capacités sont limitées aux capacités de recouvrement. $C_{GS} = C_{GD} = C_{ov}W$.

C_{GB}

Cette capacité n'a de sens qu'en régime sous-seuil puisque le canal isole la grille du substrat lorsque ce dernier est présent. Elle est constituée de la mise en série de la capacité d'oxyde C_3 et de la capacité de déplétion C_4 . On a : $C_{GB} = \frac{n-1}{n} W L C_{ox}$. Dans cette expression, n est le facteur de pente sous seuil. Il est une image de la pente sous seuil S définie par l'équation A.16 [43].

$$S = \frac{\partial V_{GS}}{\partial \log(I_{DS})} \quad (\text{A.16})$$

$$= n V_T \ln(10) \quad (\text{A.17})$$

On peut facilement mesurer S par simulation et en déduire n pour finalement calculer la valeur de C_{GB} . Sur la figure A.14, nous avons tracé S ainsi que la valeur de $C_{GB}/(W C_{ox})$. On constate que l'évolution de la capacité C_{GB} avec L est très différente suivant le type de transistor. Pour le transistor LVTGP, C_{GB} est presque indépendant de la longueur de grille. De ce fait, un choix de L maximal n'augmente pas significativement la capacité parasite associée aux nœuds du circuit.

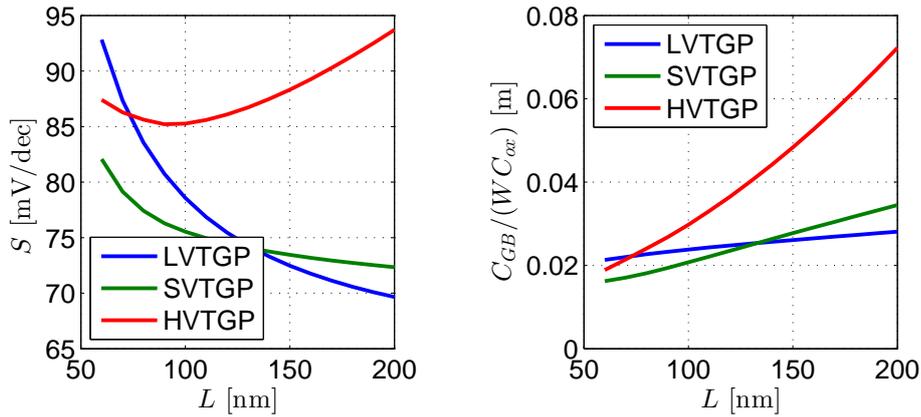


FIGURE A.14 – Capacités parasites associées au transistor MOS.

C_{SB} et C_{DB}

Ces deux capacités conservent leur expression durant tous les régimes de fonctionnement, celles-ci restent proportionnelles à la largeur du transistor.

Conclusion

Dans le régime qui nous intéresse et pour le type de transistor avec lequel on travaille (LVTGP), la capacité parasite dominante est la capacité grille body et son expression ne dépend presque pas de la longueur du transistor.

Annexe B

Codes Eldo

B.1 Circuit final

```
1 * =====
* TESTBENCH – ARCHITECTURE VOLTAGE DOUBLER
* =====
* Auteurs : Jordan Giovanola et Nicolas Phalempin
* Date : 9 juin 2015
6 * CARACTERISTIQUES PRINCIPALES
* =====
* Vteg = 0.156V
* Frequence : 2.5MHz
11 * Capacites de transfert : 62.5pF
* Nombre d'etages : 4
* Dimensions des nMOS : 68.2um
* Dimensions des pMOS : 81.5um
* L = 180nm
16 * Temperature = 25C

.lib ".../cmos065_534/DK_cmos0651pgp_RF_7m4x0y2z_2V51V8@5.3.4/DATA/ELDO/CORNERS/LPmos_bsim4_lvt.lib" lvtlp_TT
.lib ".../cmos065_534/DK_cmos0651pgp_RF_7m4x0y2z_2V51V8@5.3.4/DATA/ELDO/CORNERS/LPmos_bsim4_svt.lib" svtlp_TT
.lib ".../cmos065_534/DK_cmos0651pgp_RF_7m4x0y2z_2V51V8@5.3.4/DATA/ELDO/CORNERS/LPmos_bsim4_hvt.lib" hvtlp_TT
21 .lib ".../cmos065_534/DK_cmos0651pgp_RF_7m4x0y2z_2V51V8@5.3.4/DATA/ELDO/CORNERS/common_active.lib" PRO.TT
.lib ".../cmos065_534/DK_cmos0651pgp_RF_7m4x0y2z_2V51V8@5.3.4/DATA/ELDO/CORNERS/common_gol.lib" PRO.TT
.lib ".../cmos065_534/DK_cmos0651pgp_RF_7m4x0y2z_2V51V8@5.3.4/DATA/ELDO/CORNERS/common_poly.lib" PRO.TT
.lib ".../cmos065_534/DK_cmos0651pgp_RF_7m4x0y2z_2V51V8@5.3.4/DATA/ELDO/CORNERS/GPmos_bsim4_lvt.lib" lvtgp_TT
.lib ".../cmos065_534/DK_cmos0651pgp_RF_7m4x0y2z_2V51V8@5.3.4/DATA/ELDO/CORNERS/GPmos_bsim4_svt.lib" svtgp_TT
26 .lib ".../cmos065_534/DK_cmos0651pgp_RF_7m4x0y2z_2V51V8@5.3.4/DATA/ELDO/CORNERS/GPmos_bsim4_hvt.lib" hvtgp_TT

.param GFLAG__RGATESWITCH__ALL__CMOS065=0
.param GFLAG__NOISEDEV__ALL__CMOS065=0
31 .param MISMATCH_CROLLES=0

.param LVTLP_DEV=1
.param SVTLP_DEV=1
.param HVTLP_DEV=1
36 .param LVTGP_DEV=1
.param SVTGP_DEV=1
.param HVTGP_DEV=1
.temp 25

41 * ===== MODELE DU TEG
.param alim = 0.156
Vteg vteg 0 alim
Cteg vin 0 100p
46 Rteg vteg vin 400

* ===== CLOCK

51 .param wg_osc = 0.12
.param lg_osc = 0.073
.param Cint = 0.1f

.connect vin vin_osc
56 xMP1osc1 1osc1 0osc1 vin_osc vin_osc phvtgp W=2*wg_osc L=lg_osc
xMN2osc1 1osc1 0osc1 0 0 nhvtgp W=wg_osc L=lg_osc

xMP3osc1 2osc1 1osc1 vin_osc vin_osc phvtgp W=2*wg_osc L=lg_osc
61 xMN4osc1 2osc1 1osc1 0 0 nhvtgp W=wg_osc L=lg_osc

xMP5osc1 5osc1 2osc1 vin_osc vin_osc phvtgp W=2*wg_osc L=lg_osc
xMN6osc1 5osc1 2osc1 0 0 nhvtgp W=wg_osc L=lg_osc

66 xMP11osc1 6osc1 5osc1 vin_osc vin_osc phvtgp W=2*wg_osc L=lg_osc
xMN12osc1 6osc1 5osc1 0 0 nhvtgp W=wg_osc L=lg_osc

xMP13osc1 0osc1 6osc1 vin_osc vin_osc phvtgp W=2*wg_osc L=lg_osc
```

```

xMN14osc1 0osc1 6osc1 0 0      nhvtgp W=wg_osc L=lg_osc
71  Cosc1 1osc1 0 Cint
    Cosc2 2osc1 0 Cint
    Cosc5 5osc1 0 Cint
    Cosc6 6osc1 0 Cint
76  * ===== NOC
    .connect 5osc1 5osc1_noc
81  ***** nand 1
    xMP1_noc noc1 5osc1_noc vin_osc vin_osc plvtgp W=wg_osc L=lg_osc
    xMP2_noc noc1 noc4 vin_osc vin_osc plvtgp W=wg_osc L=lg_osc
    xMN1_noc noc1 5osc1_noc nand1 0      nlvtgp W=wg_osc L=lg_osc
86  xMN2_noc nand1 noc4 0 0      nlvtgp W=wg_osc L=lg_osc

    ***** Inv 1
    xMP3_noc noc2 noc1 vin_osc vin_osc plvtgp W=2*wg_osc L=lg_osc
    xMN3_noc noc2 noc1 0 0      nlvtgp W=wg_osc L=lg_osc
91  ***** Inv 2
    xMP4_noc noc3 noc2 vin_osc vin_osc plvtgp W=2*wg_osc L=lg_osc
    xMN4_noc noc3 noc2 0 0      nlvtgp W=wg_osc L=lg_osc

96  ***** nand 2
    xMP5_noc noc5 noc3 vin_osc vin_osc plvtgp W=wg_osc L=lg_osc
    xMP6_noc noc5 noc7 vin_osc vin_osc plvtgp W=wg_osc L=lg_osc
    xMN5_noc noc5 noc3 nand2 0      nlvtgp W=wg_osc L=lg_osc
    xMN6_noc nand2 noc7 0 0      nlvtgp W=wg_osc L=lg_osc
101 ***** Inv 3
    xMP7_noc noc7 5osc1_noc vin_osc vin_osc plvtgp W=2*wg_osc L=lg_osc
    xMN7_noc noc7 5osc1_noc 0 0      nlvtgp W=wg_osc L=lg_osc

106 ***** Inv 4
    xMP8_noc noc6 noc5 vin_osc vin_osc plvtgp W=2*wg_osc L=lg_osc
    xMN8_noc noc6 noc5 0 0      nlvtgp W=wg_osc L=lg_osc

    ***** Inv 5
111 xMP9_noc noc4 noc6 vin_osc vin_osc plvtgp W=2*wg_osc L=lg_osc
    xMN9_noc noc4 noc6 0 0      nlvtgp W=wg_osc L=lg_osc

* ===== DRIVER
116 .param wg_driv = 0.12
    .param lg_driv = 0.18
    .param An=5.280000e+00
    .param Ap=4.330000e+00
121 .param Mparam = 5

    * Buffer CLK
    xMP1driv driv1 noc6 vin_osc vin_osc plvtgp W=2*wg_driv L=lg_driv M = Mparam
    xMN1driv driv1 noc6 0 0 nlvtgp W=wg_driv L=lg_driv M = Mparam
126 xMP2driv driv2 driv1 vin_osc vin_osc plvtgp W=2*Ap*wg_driv L=lg_driv M = Mparam
    xMN2driv driv2 driv1 0 0 nlvtgp W=An*wg_driv L=lg_driv M = Mparam

    xMP3driv driv3 driv2 vin_osc vin_osc plvtgp W=2*Ap*Ap*wg_driv L=lg_driv M = Mparam
131 xMN3driv driv3 driv2 0 0 nlvtgp W=An*An*wg_driv L=lg_driv M = Mparam

    xMP4driv driv4 driv3 vin_osc vin_osc plvtgp W=2*Ap*Ap*Ap*wg_driv L=lg_driv M = Mparam
    xMN4driv driv4 driv3 0 0 nlvtgp W=An*An*An*wg_driv L=lg_driv M = Mparam
136 xMP5driv clkbuf driv4 vin_osc vin_osc plvtgp W=2*Ap*Ap*Ap*Ap*wg_driv L=lg_driv M = Mparam
    xMN5driv clkbuf driv4 0 0 nlvtgp W=An*An*An*An*wg_driv L=lg_driv M = Mparam

    * Buffer CLKbar
141 xMP1driv0 driv10 noc2 vin_osc vin_osc plvtgp W=2*wg_driv L=lg_driv M = Mparam
    xMN1driv0 driv10 noc2 0 0 nlvtgp W=wg_driv L=lg_driv M = Mparam

    xMP2driv0 driv20 driv10 vin_osc vin_osc plvtgp W=2*Ap*wg_driv L=lg_driv M = Mparam
    xMN2driv0 driv20 driv10 0 0 nlvtgp W=An*wg_driv L=lg_driv M = Mparam
146 xMP3driv0 driv30 driv20 vin_osc vin_osc plvtgp W=2*Ap*Ap*wg_driv L=lg_driv M = Mparam
    xMN3driv0 driv30 driv20 0 0 nlvtgp W=An*An*wg_driv L=lg_driv M = Mparam

    xMP4driv0 driv40 driv30 vin_osc vin_osc plvtgp W=2*Ap*Ap*Ap*wg_driv L=lg_driv M = Mparam
151 xMN4driv0 driv40 driv30 0 0 nlvtgp W=An*An*An*wg_driv L=lg_driv M = Mparam

    xMP5driv0 clkbarbuf driv40 vin_osc vin_osc plvtgp W=2*Ap*Ap*Ap*Ap*wg_driv L=lg_driv M = Mparam
    xMN5driv0 clkbarbuf driv40 0 0 nlvtgp W=An*An*An*An*wg_driv L=lg_driv M = Mparam
156 .connect clk clkbuf
    .connect clkbar clkbarbuf

* ===== CONVERTISSEUR
161 .param capa = 62.5p
    .param lg=0.180000
    .param wgn=6.825000e+01
    .param wgp=8.150000e+01
166 .connect vdd vin

    * OST STAGE
    xMN9 vdd cd5 cu5 vo1 nlvtgp w=wgn l=lg
171 xMN10 vdd cu5 cd5 vo1 nlvtgp w=wgn l=lg
    xMP9 vo0 cd5 cu5 0 plvtgp w=wgp l=lg

```

```

xMP10 vo0 cu5 cd5 0      plvtgp w=wgpr l=lg
Cu5 cu5 clk capa
Cd5 cd5 clkbar capa
176
* 1ST STAGE
xMN1 vo0 cd1 cu1 vo2      nlvtgp w=wgn l=lg
xMN2 vo0 cu1 cd1 vo2      nlvtgp w=wgn l=lg
xMP1 vo1 cd1 cu1 vdd      plvtgp w=wgpr l=lg
181 xMP2 vo1 cu1 cd1 vdd      plvtgp w=wgpr l=lg
Cu1 cu1 clk capa
Cd1 cd1 clkbar capa

* 2ND STAGE
186 xMN3 vo1 cd2 cu2 vout      nlvtgp w=wgn l=lg
xMN4 vo1 cu2 cd2 vout      nlvtgp w=wgn l=lg
xMP3 vo2 cd2 cu2 vo1      plvtgp w=wgpr l=lg
xMP4 vo2 cu2 cd2 vo1      plvtgp w=wgpr l=lg
Cu2 cu2 clk capa
191 Cd2 cd2 clkbar capa

* 3RD STAGE
xMN5 vo2 cd3 cu3 vo4      nlvtgp w=wgn l=lg
xMN6 vo2 cu3 cd3 vo4      nlvtgp w=wgn l=lg
196 xMP5 vout cd3 cu3 vo2      plvtgp w=wgpr l=lg
XMP6 vout cu3 cd3 vo2      plvtgp w=wgpr l=lg
Cu3 cu3 clk capa
Cd3 cd3 clkbar capa

201 * 4RD STAGE - POLARISATION
xMN7 vout cd4 cu4 vout      nlvtgp w=(wgn/100) l=lg
xMN8 vout cu4 cd4 vout      nlvtgp w=(wgn/100) l=lg
xMP7 vo4 cd4 cu4 vo4      plvtgp w=(wgp/100) l=lg
xMP8 vo4 cu4 cd4 vo4      plvtgp w=(wgp/100) l=lg
206 Cu4 cu4 clk (capa/100)
Cd4 cd4 clkbar (capa/100)

Cpara1 clk 0 (0.004*4*capa)
Cpara2 clkbar 0 (0.004*4*capa)
211

* ===== CHARGE

Cout vout 0 100p
216 Rout vout 0 100k

* ===== PARAMETRES DE SIMULATION

221 .defwave VIN = v(vin)
.defwave OSCILLATEUR = v(5oscl)
.defwave CLK = v(clkbuf)
.defwave CLKBAR = v(clkbarbuf)
.defwave Vout=v(vout)
226 .ic 5oscl=0

.defwave PIN = (abs(average(v(vin))*(0.156-average(v(vin))))/400)
.defwave POUT = (abs(average(v(vout))*average(v(vout))))/1e5
231 .extract tran file=Rendement.aex (100*w(PIN)/w(POUT))
.tran 0.001u 0.350m 0.320m
.end

```